

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平 8-110857

(43) 公開日 平成 8 年 (1996) 4 月 30 日

(51) Int. Cl. °

G 0 6 F 9/38

識別記号

3 3 0 A

庁内整理番号

F I

技術表示箇所

審査請求 未請求 請求項の数 23 O L

(全 4 5 頁)

(21) 出願番号 特願平 6-246346

(22) 出願日 平成 6 年 (1994) 10 月 12 日

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目 2 番 3 号

(72) 発明者 原 哲也

兵庫県伊丹市瑞原 4 丁目 1 番地 三菱電機株  
式会社システムエル・エス・アイ開発研究  
所内

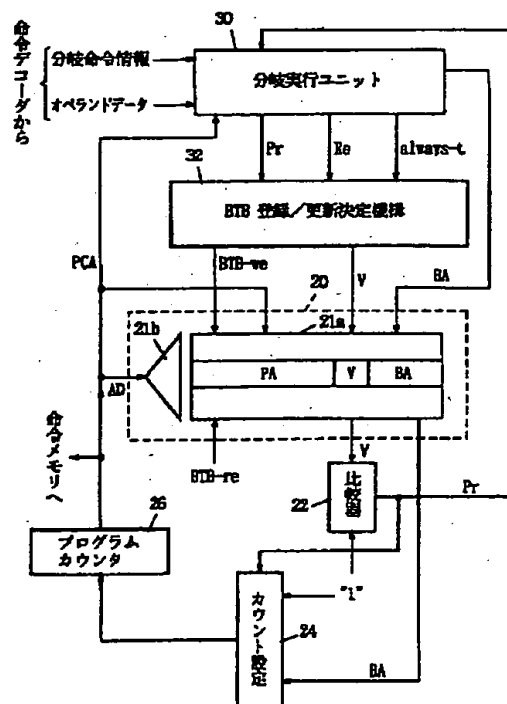
(74) 代理人 弁理士 深見 久郎 (外 3 名)

(54) 【発明の名称】 命令処理装置

(57) 【要約】

【目的】 容易に構築することができかつ分岐予測精度  
が高くかつさらにサイクルペナルティの生じることのな  
い分岐先バッファを有する命令処理装置を提供する。

【構成】 分岐実行ユニット 30 は、分岐先バッファ 20  
から読出された分岐命令情報とともに命令デコーダか  
ら与えられるオペランドデータを処理し、分岐の予測、  
実行を行ないかつさらに分岐命令に関連して発生される  
その分岐確率フラグを生成して B T B 登録／更新決定機  
構 3 2 へ与える。B T B 登録／更新決定機構 3 2 に未登  
録分岐命令の分岐先バッファへの登録時には分岐確率フ  
ラグの値に従って登録または未登録を行なう。これによ  
り、分岐確率の低い分岐命令が分岐先バッファに登録さ  
れるのを抑制することができ、分岐予測精度の低減が防  
止される。分岐予測は有効ビット V のみを用いて実行さ  
れる。



## 【特許請求の範囲】

【請求項1】 各々が、分岐命令特定情報と該分岐命令の有効／無効を示す有効ビットを格納する複数のエントリを有する分岐先バッファと、

与えられた命令が分岐命令のとき、前記分岐先バッファの対応のエントリから読出した情報に含まれる有効ビットに従って前記分岐命令による分岐の発生の有無を予測する予測手段と、

前記分岐命令を実行し、該実行結果に従って前記予測手段の予想が正しかったか否かを判別する分岐判別手段とを備え、前記分岐命令は実行されるべき処理を示す命令部分と該分岐命令による分岐の発生が生じる可能性が高いか否かを示す分岐確率指示部分とを含み、

前記分岐判別手段の判別結果が前記予測手段により予測が正しくないことを示すとき、前記分岐命令に含まれる分岐確率指示部分のデータに従って前記分岐先バッファの対応のエントリの内容を変更する変更手段を備え、前記変更手段は該対応のエントリ内の有効ビットが有効を示しかつ前記分岐確率指示部分が分岐発生の可能性が小さいことを示すとき前記有効ビットを無効状態に設定する手段を含む、命令処理装置。

【請求項2】 請求項1記載の命令処理装置であって、前記変更手段は、前記分岐判別手段の判別結果が予測不正確であることを示しかつ前記有効ビットが有効を示しかつさらに前記分岐確率指示部分が分岐発生の可能性の高いことを示すとき、前記対応のエントリのデータを変更せずに維持する手段を含む、命令処理装置。

【請求項3】 請求項1記載の命令処理装置であって、さらに、

前記分岐命令が対応のエントリに格納された分岐命令と同じ命令であるか否かを判別する同一判別手段と、

前記同一判別手段の判別結果が不一致を示しかつ前記分岐命令による分岐が発生したとき、前記分岐発生指示部分が分岐発生の可能性が高いことを示すとき、前記分岐命令により対応のエントリの内容を変更する手段をさらに備える、命令処理装置。

【請求項4】 請求項1記載の命令処理装置であって、個々のタグアドレスにより複数の命令が同時にアドレス指定される命令キャッシュメモリをさらに含み、前記分岐先バッファは1つのタグアドレスにより同時に指定される複数のエントリを含むように構成されかつ前記分岐先バッファのタグアドレスと前記命令キャッシュメモリのタグアドレスとは同じであり、

さらに、前記命令キャッシュメモリにキャッシュミスが生じ、前記命令キャッシュメモリの内容が新たな内容で置換されるとき、前記キャッシュメモリの置換されるべき命令群に含まれる分岐命令に対応する前記分岐先バッファ内のエントリの内容を無効化する手段をさらに備える、命令処理装置。

【請求項5】 与えられる命令が分岐命令であるか否か

を判別する判別手段を備え、前記命令は分岐命令のとき分岐先アドレスを示す即値を含み、

前記判別手段が分岐命令であることを示すとき、前記即値の正・負を識別する符号識別手段と、

各々が、分岐命令特定情報と該分岐命令の有効／無効を示す有効ビットとを含む複数のエントリを有する分岐先バッファと、

前記分岐命令に対応するエントリの内容を前記分岐先バッファから読出し、該読出された情報に含まれる有効ビットに従って前記分岐命令の分岐の発生の有無を予測する分岐予測手段と、

前記分岐命令を実行して、前記分岐命令による分岐が発生したか否かを示す信号を生成する分岐判別手段と、前記分岐判別手段の判別結果と前記分岐予測手段の予測結果とが不一致のとき、前記符号識別手段からの符号を示す信号に従って前記分岐先バッファの前記対応のエントリの内容を変更する変更手段とを備える、命令処理装置。

【請求項6】 請求項5記載の命令処理装置であって、前記変更手段は、前記符号識別手段が前記即値が負であることを示すとき前記対応のエントリの内容を維持する手段を含む、命令処理装置。

【請求項7】 各々が、分岐命令特定情報と該分岐命令の有効／無効を示す有効ビットとを格納する複数のエントリを含む分岐先バッファと、

与えられた命令が分岐命令のとき、該分岐命令を実行し、分岐が発生したか否かを示す信号を発生する分岐実行手段とを備え、前記分岐命令は、予め分岐が発生する可能性が低いことを示す分岐確率指示情報を含み、

前記分岐実行手段の出力信号が分岐発生を示し、かつ前記分岐命令の分岐発生指示情報が分岐発生の可能性が低いことを示すとき、前記分岐先バッファの対応のエントリの格納データの変更を禁止する手段を備える、命令処理装置。

【請求項8】 各々が、分岐命令特定情報と該分岐命令による分岐の発生の期待値を示す情報とを少なくとも格納する複数のエントリを有する分岐先バッファを備え、与えられた命令が分岐命令のとき、前記分岐命令を実行し、前記分岐命令により分岐が発生したか否かを示す信号を発生する分岐実行手段を備え、前記分岐命令は分岐発生の期待値を示す情報を含み、

前記分岐命令が前記分岐先バッファに登録されているか否かを判別する登録判別手段と、

前記登録判別手段が前記分岐命令の前記分岐先バッファにおける未登録を示し、かつ前記分岐実行手段の出力信号が分岐発生を示すとき、前記分岐先バッファの対応のエントリに既に別の分岐命令についての情報が有効に格納されているか否かを判別する有効登録判別手段と、

前記有効登録判別手段が前記別の分岐命令が有効に格納されていると判別したとき、前記分岐命令の予測期待値

10

20

30

40

50

と前記分岐先バッファに格納された前記別の命令の予測期待値とを比較する比較手段と、

前記比較手段が前記分岐命令の予測期待値が前記別の分岐命令の予測期待値以上であることを示すとき、前記分岐命令を前記別の分岐命令が格納されたエントリへその予測期待値情報とともに書込む手段とを備える、命令処理装置。

【請求項 9】 請求項 8 記載の命令処理装置であって、前記分岐先バッファの各エントリは対応の分岐命令の最近の分岐の履歴を示す履歴情報を含み、前記分岐先バッファにおける予測期待値情報は前記履歴情報により与えられる、命令処理装置。

【請求項 10】 請求項 8 記載の命令処理装置であって、前記書込手段は、前記分岐命令に付随する分岐期待値情報に従って前記履歴情報を初期設定する手段を含む、命令処理装置。

【請求項 11】 各々が、分岐命令特定情報と該分岐命令の最近の分岐の発生の有無の履歴を示す履歴情報とを少なくとも格納する複数のエントリを有する分岐先バッファと、与えられた分岐命令に関連する情報が前記分岐先バッファに格納されているか否かを判別する判別手段と、前記分岐命令を実行し、該実行結果に従って前記分岐命令による分岐が発生したか否かを示す信号を発生する分岐実行手段とを備え、前記分岐命令は前記分岐命令による分岐発生の予測期待値を示す情報を含み、前記判別手段が前記分岐命令の前記分岐先バッファにおける未登録を示しかつ前記分岐実行手段の出力信号が分岐発生を示すとき、前記分岐命令に関連する履歴情報を前記分岐命令の分岐予測期待値に従って決定し、前記分岐命令とともに該決定された履歴情報を初期状態値として前記分岐先バッファに格納する手段とを備える、命令処理装置。

【請求項 12】 各々が、分岐命令特定情報と分岐先情報とを格納する複数のエントリを含む分岐先バッファと、前記分岐先バッファとは別に設けられ、かつ前記分岐先バッファの複数のエントリに対応するロケーションを有し、各前記ロケーションに対応のエントリに格納された分岐命令の最近の分岐の発生の有無の履歴を示す履歴情報を格納する分岐履歴バッファと、与えられた分岐命令の対応のエントリの内容を前記分岐先バッファから読出して前記分岐命令の分岐の発生の有無を予測する分岐予測手段と、前記分岐命令を実行し、該実行結果に従って前記分岐命令により分岐が発生したか否かを示す信号を発生する分岐実行手段と、前記分岐予測手段の出力信号と前記分岐実行手段の出力信号とに従って、前記履歴バッファの対応のロケーションに格納された値を変更する変更手段とを備える、命令

処理装置。

【請求項 13】 請求項 12 に記載の命令処理装置であって、

前記分岐予測手段は、前記分岐先バッファに前記分岐命令に対応する情報が格納されているか否かに従って前記分岐命令の分岐発生の有無を予測する手段を含む、命令処理装置。

【請求項 14】 請求項 13 記載の命令処理装置であって、

10 前記変更手段は、前記分岐予測手段が分岐発生を予測し、かつ前記分岐実行手段が分岐非発生を示すとき、前記対応のロケーションの値を所定値減分する手段と、前記対応のロケーションの値が予め定められた最小値を示すとき前記分岐先バッファの対応のエントリの内容を無効化する手段とを含む、命令処理装置。

【請求項 15】 請求項 12 記載の命令処理装置であって、

20 前記変更手段は、前記分岐予測手段が分岐非発生を予測しかつ前記分岐実行手段が分岐発生を示すとき、前記分岐履歴バッファの対応のロケーションを初期値に設定する手段を含む、命令処理装置。

【請求項 16】 請求項 15 記載の命令処理装置であって、さらに前記分岐予測手段が分岐非発生を予測しかつ前記分岐実行手段が分岐発生を示すとき、前記分岐命令に関連する情報を前記分岐先バッファの対応のエントリに格納する手段を含む、命令処理装置。

30 【請求項 17】 各々が、分岐命令特定情報と、該分岐命令の分岐の発生確率を示す情報と該分岐命令の過去の分岐の発生の有無の履歴を示す履歴情報を格納する複数の記憶位置を含む分岐情報格納手段を備え、分岐命令は、該分岐命令による分岐発生の期待値を示す情報を含み、

与えられた分岐命令の期待値情報に従ってしきい値を設定するしきい値設定手段と、

前記分岐情報格納手段の前記与えられた分岐命令の対応する記憶位置の内容に含まれる分岐確率情報に従って分岐発生の有無を予測する分岐予測手段と、

40 前記与えられた分岐命令を実行し、前記与えられた分岐命令による分岐が発生したか否かを判別する分岐実行手段と、

前記分岐予測手段の予測と前記分岐実行手段の判別結果とが不一致のとき、前記分岐命令の対応の履歴情報と前記しきい値とに従って前記対応の履歴情報の値を設定し、該対応の記憶位置に設定された履歴情報を書込む手段を含む、命令処理装置。

【請求項 18】 請求項 17 記載の命令処理装置であって、さらに、

50 前記分岐予測手段の分岐発生予測と前記分岐実行手段の分岐非発生指示とに回答して、前記しきい値設定手段に

より設定されたしきい値と前記対応の履歴情報とから前記分岐命令の分岐発生の予測値を決定して前記分岐先情報格納手段に前記分岐命令と関連付けて前記分岐確率情報として格納する手段を含む命令処理装置。

【請求項19】 請求項18に記載の命令処理装置であって、

前記分岐発生予測値は、前記分岐命令の有効・無効を示す有効ビットである、命令処理装置。

【請求項20】 請求項17記載の命令処理装置であって、

前記履歴情報設定手段は、前記分岐予測手段が分岐非発生を示し、かつ前記分岐実行手段が分岐発生を示すとき、前記分岐命令の対応の履歴情報の初期値を前記しきい値に従って初期設定する手段を含む、命令処理装置。

【請求項21】 請求項17記載の命令処理装置であって、

前記分岐命令による分岐の発生を示す期待値は、前記分岐命令に含まれる分岐先命令のアドレスを示す即値である、命令処理装置。

【請求項22】 請求項17記載の命令処理装置であって、

前記分岐発生の期待値を示す情報は、前記分岐命令の特定のコード内に予め設定される、命令処理装置。

【請求項23】 前記分岐情報格納手段は、前記分岐命令特定情報と分岐先情報と前記分岐確率情報とを格納するバッファ手段と、前記バッファ手段と独立に設けられ、前記分岐命令の履歴情報をそれぞれ前記バッファ手段のエントリに対応して格納する履歴バッファ手段とを備える、請求項17記載の命令処理装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】この発明は、命令処理装置に関し、特にパイプライン方式で命令を実行する命令処理装置における分岐命令による分岐の発生を予測する機構に関する。

【0002】

【従来の技術】図40は、命令をパイプライン的に実行する処理シーケンスの一例を示す図である。図40においては、パイプラインステージとしては、命令を命令メモリからフェッチする命令フェッチステージIFと、このフェッチされた命令をデコードする命令デコードステージIDと、デコードされた命令を処理ユニットで実行する実行ステージEXと、この処理結果をレジスタなどに書込むライトバックステージWBを含む4段のパイプラインステージが一例として示される。このパイプライン方式の命令実行は以下のようにして行なわれる。

【0003】サイクルIにおいて、命令Aが命令メモリからフェッチされる（IFステージ）。次いで、サイクルIIにおいて、命令Aがデコードされ（IDステージ）、これと平行して命令Bが命令メモリからフェッチ

される（IFステージ）。

【0004】サイクルIIIにおいて、デコードされた命令Aが実行され（EXステージ）、また命令BがデコードステージIDにおいてデコードされる。このときまた別の命令Cが命令メモリからフェッチされる（IFステージ）。

【0005】サイクルIVにおいて、命令Aの実行結果がレジスタなどに書込まれ（WBステージ）、命令Bが実行され（EXステージ）、命令Cがデコードされる

（IDステージ）。このときまた命令Dが命令メモリからフェッチされる（IFステージ）。

【0006】上述のように、サイクルIV以降、パイプラインステージIF～WBはすべて処理を実行しており、等価的に、1マシンサイクル（サイクルI、II、…のサイクル期間）において1命令が実行されることになる。したがって、命令をパイプライン的に実行することにより、高速で命令を実行することができる。

【0007】今、図41に示すように、命令シーケンスに分岐命令BRが含まれている場合を考える。図41に示すように命令Aは、サイクルIからパイプラインステージIFに投入され、順次IDステージ、EXステージおよびWBステージへ投入されて処理が実行される。しかしながら、分岐命令BRの場合、サイクルIIIにおいて、デコードステージIDに投入されてデコードされ、その命令が分岐命令であるか否かを判別し、次いでこの分岐命令により分岐が発生するか否かを識別する必要がある。図41においては、分岐命令BRが、たとえば条件付分岐命令であり、実行サイクルIVにおいて実行ステージEXで実行されてその分岐の有無の発生が決定され、サイクルVにおいて、分岐命令BRの実行結果に従って次の命令C'が命令フェッチステージIFへ投入される状態が一例として示される。

【0008】この図41に示すように、分岐命令BRの場合、パイプラインステージにおいて処理が実行されないステージ（空きステージ）が生じ、命令の処理効率が低下する。そこでこのような分岐命令が発生しても、効率的に命令を処理するために種々の命令処理方式が提案されている。このような方式の1つに、分岐命令の場合、予めその分岐命令による分岐の発生の有無を予測し、その予測に従って次の命令をパイプラインステージに投入する「分岐予測方式」がある。この場合、分岐命令が存在しても、この分岐命令予測にしたがって連続的に命令をパイプラインステージに投入するため、処理効率の低下が抑制される。この場合、この予測の精度が高いほど分岐によるパイプラインの乱れは小さくなり、応じて命令処理装置の性能低下を抑制することができる。このような分岐予測方式の1つとして、分岐先バッファ（BTB）を用いる方式があり、たとえばK・F・リー等による「分岐予測方式および分岐先バッファの設計」、IEEE、コンピュータ、第15巻、第1号、1

984年1月、の第6頁ないし第22頁において提案されている。

【0009】図42は、分岐先バッファの構成の一例を示す図である。図42において、分岐先バッファ1は、複数のエントリ1aを含むレジスタファイル2を含む。エントリ1aの各々は、このエントリに格納された情報が有効であるか否かを示す有効ビットVを格納する有効ビットフィールド3aと、そのエントリに格納される分岐命令を特定する分岐命令情報を格納する分岐命令特定フィールド3bと、その分岐命令の過去の分岐の発生の有無の履歴についての情報を格納する履歴情報フィールド3cと、その分岐命令の次に実行される分岐先命令が格納される分岐先アドレスなどの分岐先情報を格納する分岐先情報フィールド3dを含む。このレジスタファイル2におけるエントリの選択は、命令メモリ4の命令のアドレスを与えるプログラムカウンタ5から出力されるアドレス信号の所定のビットに従って行なわれる。このプログラムカウンタ5からのアドレス信号（命令フェッチアドレスの一部）は、分岐先バッファ1に含まれるアドレスデコーダ6へ与えられてデコードされ、対応のエントリの内容が読出されるように示される。分岐先バッファ1は、このようなアドレスデコーダ6を用いる構成に変えて、TLB（アドレス変換バッファ：トランスレーション・ルックアサイド・バッファ）のような連想記憶素子を用いる構成であってもよい。以下では説明を簡略化するに、アドレスデコーダ6によりデコードしてレジスタファイル2から対応のエントリの内容を読出す構成について説明する。しかしながら、これは本発明の適用範囲からTLBのような構成に対する適用を排除するものではない。

【0010】命令メモリ4から読出された命令は、命令デコーダ7へ与えられてデコードされる。次に、この分岐先バッファを用いた命令実行シーケンスについて図43に示すフロー図を参照して説明する。

【0011】まず、プログラムカウンタ5から、命令フェッチアドレスが命令メモリ4へ与えられるとともに、その命令フェッチアドレスの所定数のビットが分岐先バッファ1へ与えられる。命令メモリ4から読出された命令は、命令デコーダ7へ与えられる。一方、分岐先バッファ1においては、このプログラムカウンタ5から与えられたアドレス信号に従って対応のエントリが選択され、このエントリの内容が読出される。この読出されたエントリに含まれるフィールド3aの有効ビットVの値に従ってまずそのエントリの内容が有効であるか否かの判別が行なわれる。この読出されたエントリの内容が有効な場合、フィールド3bの分岐命令情報（たとえば命令番号）に従ってフェッチされた命令が分岐命令であるか否かの識別が行なわれる。この分岐命令識別は、たとえば、分岐命令情報が命令番号である場合、フェッチされた命令の番号がその分岐命令情報が示す命令番号と一

致するか否かを判別することにより行なわれる。この場合、またこれに変えて、分岐命令情報とプログラムカウンタ5の出力するアドレス信号の残りのアドレス信号

（エントリ選択のために使用されるアドレス以外のアドレス信号）の一致／不一致を見ることにより分岐命令であるか否かの識別が行なわれてもよい。これらの一連の動作により、命令メモリ4からフェッチされた命令が分岐先バッファに登録された分岐命令であるか否かの識別が行なわれる（ステップS2）。

10 【0012】登録分岐命令が存在しない場合、命令デコーダ7において、このフェッチされた命令が分岐命令であるか否かの識別が行なわれる（ステップS3）。フェッチされた命令が分岐命令でない場合には、通常の命令の実行を行なうために実行ステージEXへそのデコードされた命令が発行される（ステップS4）。一方、フェッチされた命令が分岐命令であるとステップS3において判別された場合、この分岐命令に関する情報が分岐先バッファ1へ格納され、対応の有効ビットVが有効状態に設定されてフェッチされた未登録の分岐命令の登録が行なわれる（ステップS5）。

20 【0013】一方、ステップS2において、登録分岐命令が存在すると判別された場合、その読出されたエントリに含まれるフィールド3cの履歴情報に従って分岐の予測が行なわれ（この分岐予測アルゴリズムについては後に詳細に説明する）、その予測結果に従ってフィールド3dに含まれる分岐先情報すなわち分岐先アドレスのプログラムカウンタ5への送出行なわれる（分岐が生じると予測された場合）（ステップS6）。

30 【0014】また、命令デコードステージIDに含まれる分岐実行ユニットにおいて、この分岐命令が実行され、分岐発生の有無が決定される。この決定された分岐条件が、先に予測された分岐条件と一致しているか否かの判別が行なわれる（ステップS7）。決定された分岐条件が予測と一致している場合には、命令を継続して実行する。また、必要に応じて転記先バッファの履歴情報の更新が行なわれる（履歴情報が複数ビットを含む場合）（ステップS8）。

40 【0015】ステップS7において決定された分岐条件が予測と一致しないと判定された場合すなわち予測が誤っている場合には、フェッチされた分岐先命令を無効化し、正しいアドレスに従って命令のフェッチを行ない、また分岐先バッファ1の対応のエントリの更新を行なう（この分岐先バッファ更新動作についても後に説明する）（ステップS9）。

50 【0016】次に、具体的に分岐予測アルゴリズムについて説明する。この分岐予測アルゴリズムは、履歴情報が複数ビットの場合と1ビットの場合とで異なる。以下、複数ビットの履歴情報の分岐予測アルゴリズム、および1ビットの履歴情報の場合の分岐予測アルゴリズムについて順に説明する。

【0017】まず、以下の説明において用いられる用語を定義する。

(1) Taken実行：分岐命令の実行の結果、分岐が成立する（分岐が生じる）場合を示す。

【0018】(2) Not-Taken実行：分岐命令の実行の結果、分岐が不成立の（分岐が生じない）場合を示す。

【0019】(3) taken予測：分岐の予測時に分岐成立（分岐する）を予測した場合を示す。

【0020】(4) not-taken予測：分岐の予測時に分岐不成立（分岐しない）と予測する場合を示す。

【0021】複数ビットの履歴情報を用いる分岐予測方式においては、以下の手順で分岐の予測および分岐先バッファの更新が行なわれる。

【0022】予測：分岐先バッファから対象となるエントリの内容を読出し、そこに分岐命令が登録されている場合には、そのエントリに含まれる複数ビットの履歴情報に従って分岐予測を行なう。

【0023】登録：Taken実行された分岐命令が分岐先バッファに登録されていない場合には、その分岐命令を分岐先バッファに登録する。

【0024】更新：分岐命令の実行終了ごとにその実行結果を該分岐命令の履歴情報に反映させる。

【0025】図44は、2ビット履歴情報に基づく分岐予測アルゴリズムを状態遷移図で示す図である。図44において、2ビット履歴情報により、4つの状態A-Dが表現される。履歴情報が状態Aまたは状態Bを示すとき、分岐予測は、taken予測(t)が行なわれる。履歴情報が状態Cまたは状態Dを示す場合には、not-taken予測(n)が行なわれる。分岐命令が実行されたとき、その実行状態に応じて図44の矢印に示す方向への状態遷移が生じるように履歴情報の更新が行なわれる。たとえば、履歴情報が状態Bを示しておりtaken予測が行なわれたとき、Taken実行が生じた場合には、状態Bは状態Aに更新され、一方、Not-Taken実行が生じた場合には、状態Bは状態Cへ更新される。この、複数ビットの履歴情報を用いる分岐予測は、以下の利点を備える。

【0026】今、図45に示すようなループ型処理構造を考える。このループ型処理構造は処理機能（または文）P1を、複数回にわたって繰返し実行する。条件式P2は、この処理機能（または文）P1の実行結果が所定の条件に満たしているか否かを判別し、その判別結果に従って再び処理機能（または文）P1へ戻るかまたはこのループから脱出する。条件式P2の用いる式に従ってその判別結果がYESの場合およびNOの場合が生じ、それぞれの場合を図45に併わせて示す。この条件式P2に分岐命令が含まれており、この分岐命令に従ってループの巡回（処理機能または文P1の繰返し実行）

またはループからの脱出が行なわれる場合を考える。

【0027】分岐命令が登録されていない場合、すなわち、始めてこのループ処理が行なわれる場合、分岐予測はnot-taken予測となる。ループ型構造では、処理（または文）P1が複数回繰返し連続して実行されるため、条件式P2により後方分岐が生じ、この分岐命令の実行結果はTaken実行となる。この未登録の分岐命令は、分岐先バッファに最初の実行の後登録されるが、そのとき履歴情報は状態Aまたは状態Bを示す初期状態に設定される。この初期状態は予め固定的に設定されている。

【0028】次に、処理（または文）P1が実行され、次いで条件式P2の分岐命令が実行される場合、分岐予測はtaken予測となり、分岐実行結果はTaken実行となり、分岐予測はヒットする。以降このループが繰返し実行される限り、この分岐命令の分岐予測はヒットする。このとき分岐命令の履歴情報は状態Aに設定される。最終的にループから脱出する場合には、分岐予測はtaken予測、分岐実行結果はNot-Taken実行となり、分岐予測はミスヒットとなる。この場合、分岐命令の状態Aが状態Bに更新される。したがって始めてこのループ型構造の処理が実行される場合には、ループに入るときとループから脱出するときと2回予測ミスが生じるが、一旦この分岐命令が分岐先バッファに登録されれば、以降のループ型構造処理時においては、単にループ脱出時においてのみ予測ミスが生じるだけであり、分岐予測を高精度で行なうことが可能となる。

【0029】1ビット履歴情報を用いる場合には、以下のような手順で分岐予測および分岐先バッファの更新が行なわれる。この場合、分岐命令の履歴情報は有効ビットV（図42参照）で表現される。

【0030】分岐予測：分岐先バッファから対応のエントリの内容が読出される。この読出されたエントリの有効ビットが有効である、すなわち命令メモリからフェッチされた命令が分岐命令であり、既に分岐先バッファに登録されている場合には、taken予測が行なわれる。未登録の場合には、not-taken予測が行なわれる。

【0031】登録：分岐命令の実行結果がTaken実行のとき、その分岐命令が分岐先バッファに登録されていない場合には、分岐先バッファへの登録を行なう（有効ビットVの有効化）。

【0032】履歴情報の更新：分岐命令の実行結果がNot-Taken実行であり、またこの分岐命令が分岐先バッファに登録されている場合には、その分岐命令は分岐先バッファの対応のエントリから削除する（有効ビットVの無効化）。

【0033】上述のように、1ビット履歴方式においては、分岐先バッファへの書込は、分岐予測が外れたとき、すなわち(i) not-taken予測でTake

n実行の場合（分岐命令の登録）、または(ii) taken予測でNot-Taken実行の場合（登録分岐命令の無効化）の場合のみ実行される。したがって、分岐先バッファへの書込の回数は少なく、ある命令処理サイクルにおいて分岐先バッファへは、読出または書込のいずれかしか行なわれないため、1サイクル内で書込および読出両方を行なう必要がなく、簡易な構成で容易に分岐先バッファを構築することができるという利点を有する。

#### 【0034】

【発明が解決しようとする課題】図46は、複数ビットの履歴情報に基づく分岐予測を行なう場合における分岐先バッファ(BTB)へのアクセスシーケンスを示す図である。サイクル(n-2)において、命令A1について命令メモリ(IC)へアクセスが行なわれ、命令A1が読出される。そのとき、平行して分岐先バッファ(BTB)から対応のエントリの内容が読出され、その対応のエントリに含まれる分岐命令情報が命令A1を特定しているか否かの判別が行なわれる。命令A1が分岐命令の場合、サイクル(n-1)において、命令デコードステージIDにおいてデコードが行なわれ、その分岐命令が分岐実行ユニット(BEX)で実行される。

【0035】このサイクル(n-1)において、次の命令A2のフェッチが行なわれ、またこの命令A2が分岐命令であるか否かにかかわらず分岐先バッファ(BTB)の対応のエントリの内容が読出される。命令A2が分岐先バッファに登録されていない場合には、分岐予測としては常にnot-taken予測が行なわれる。

【0036】サイクルnにおいて、命令A1が分岐命令であった場合には、分岐先バッファ(BTB)の内容の書替えが行なわれる。すなわち、命令A1が既に分岐先バッファ(BTB)に登録されている場合には、その履歴情報の更新が行なわれる。履歴情報が、図44に示す状態Aに設定されている場合においても、その分岐先バッファへの履歴情報更新処理は実行される。命令A1が分岐先バッファに登録されておらず、Taken実行された場合には、対応のエントリがこの命令A1に応じて書替えられる。

【0037】このサイクルnにおいては、命令A3のために命令メモリ(IC)へのアクセス動作が行なわれ

(命令フェッチ)、また分岐先バッファ(BTB)の対応のエントリの内容が読出される。分岐先バッファ(BTB)の読出は毎サイクルごとに行なわれており、したがってサイクルnにおいて、分岐先バッファの資源競合が生じる。このような競合に対する対策としては以下の方策が考えられる。

【0038】(1) サイクルnにおいては、命令メモリから命令を読出す命令フェッチ動作を停止し、分岐先バッファに対する書込のみを行なう。次のサイクル(n+1)において命令メモリからの命令フェッチおよび分

岐先バッファの対応のエントリの読出を行なう。この方策では、分岐先バッファに対し書込が行なわれるごとに命令フェッチ動作(命令メモリからの命令の読出)が停止され、パイプラインにおいて1サイクルのペナルティが生じる。

【0039】(2) サイクルnにおいては、分岐先バッファに対しては書込のみを行ない、命令フェッチは行なうものの、分岐先バッファからの対応のエントリの読出は行なわない。この場合、命令メモリから読出された命令は分岐先バッファに登録されていないと規定され、not-taken予測を行なう必要がある。このサイクルでフェッチされた命令が分岐命令でない命令の場合も考えられるからである。したがってこの場合、命令メモリからフェッチされた命令が分岐先バッファに登録されている分岐命令の場合、有効な予測を妨げられることになり、予測精度が低下する。

【0040】(3) 分岐先バッファを、1サイクルで読出および書込両者をできる構成とする。この方策(3)は、方策(1)および(2)のように1サイクルに分岐先バッファの読出または書込のいずれかを行なう構成と異なり、両者を行なうため、命令フェッチおよび分岐先バッファ読出および分岐先バッファの書込を行なうことができ、パイプラインにストールが生じることがなく、処理性能の低下は生じない。しかしながら、高速クロックで動作する場合、このような高速サイクルにおいて書込および読出両者を行なうためには分岐先バッファの構成が複雑になる。

【0041】いずれの方策においても、欠点があるが、複数ビットの履歴情報を用いる分岐予測方式においては、分岐予測のヒット/ミスにかかわらず分岐命令の実行ごとに履歴情報の更新/分岐命令の登録のために分岐先バッファへの書込を行なう必要がある。しかしながら、方策(1)および(2)を用いると、分岐命令の実行ごとにサイクル・ペナルティまたは予測妨害が生じ、性能の低下が著しくなり、これらの方策を利用することはできない。したがって、必然的に、1サイクルで書込および読出を行なうことのできる分岐先バッファを用いる必要がある。このような分岐先バッファを実現するためには、(a) データ書込ポートとデータ読出ポートとを別々にする2ポート構成とする、および(b) 命令メモリから命令をフェッチする命令フェッチサイクルの半分のサイクルでアクセスすることのできる高速バッファを分岐先バッファに適用する。の2つの方式が考えられる。方式(a)の場合、2ポート構成とするため、データ書込経路およびデータ読出経路それぞれを別々に設ける必要があり、またエントリの選択系にも、データ書込のためのものおよびデータ読出のためのもの両者を独立に設ける必要があり、ハードウェア量が増加する。分岐先バッファは、分岐予測のヒット率を上げるために、ある程度のエントリ数が必要とされる(256エン



トリ以上が望ましいとされる)。したがって、1ポート構成でもハードウェア量が多く、この上さらにハードウェア量を増加させるのは、装置規模を増大させるため好ましくない。

【0042】方式(b)は、大記憶容量を有し(256エントリ)、かつ小占有面積で高速アクセスすることのできるバッファを実現するのは困難であるという問題がある。記憶容量が増大すれば(エントリ数が増大すれば)、その内部の信号配線も長くなり、信号伝播遅延が大きくなり、したがって高速アクセスするバッファを実現するのが困難になる。

【0043】上述のように、複数ビットの履歴情報に基づく分岐予測を行なう方式においては、1サイクルで書込/読出を行なうことのできる高速バッファが必要とされるが、そのような高速バッファは、上述のようにその実現が困難であり、またクロックが高速化され、サイクル時間が短くなれば、さらにその高速バッファの実現が困難となる。

【0044】また、未登録の分岐命令を分岐先バッファに登録する場合、その履歴情報の初期値は予め定められた値に設定される。この予め定められた初期値は、その対応の分岐命令の分岐の発生確率が高いか否かにかかわらず固定的に設定される。この場合、初期状態がたとえば図44に示す状態Aに設定される場合、たまたまTaken実行された分岐確率の低い(分岐が発生する確率の低い)分岐命令が登録された場合、この分岐命令は2回連続してNot-Taken実行されないとその分岐予測はnot-taken予測とならず、その間分岐予測はミスヒットとなり、分岐予測ヒット率が低下するという問題が生じる。

【0045】また1ビット履歴情報に基づく分岐予測方式は以下のような欠点を有する。図45に示すようなループ型構造の処理を考える。後方分岐の発生確率が高い場合、ループを脱出する場合においてtaken予測/Not-Taken実行となり、分岐予測のミスヒットが生じる。このとき、1ビット履歴情報を用いる分岐予測方式においては、この分岐命令は分岐先バッファから削除される。したがって、再びこのループが実行される場合、最初にnot-taken予測-Taken実行のミスヒットが常に生じる。したがってループ型構造の処理を行なう場合、ループに入る場合とループから脱出する場合の合計2回の分岐予測ミスヒットが生じ、分岐予測精度が低いという問題が生じる。

【0046】また、従来の分岐先バッファを用いる分岐予測方式は、履歴情報のビット数にかかわらず以下の欠点を備える。

【0047】高集積度および占有面積およびコストの観点から分岐先バッファのエントリ数は、たとえば256と制限を受ける。その分岐先バッファのエントリの指定はプログラムカウンタの出力(命令フェッチアドレス)

の一部により行なわれる(図42参照)。したがって、分岐先バッファの1つのエントリに複数の分岐命令が割当られ、この分岐先バッファのエントリに対する資源競合が生じる。分岐先バッファに登録されている分岐命令は、taken予測とされる確率が高く(1ビット履歴情報の場合には常に登録分岐命令はtaken予測とされる)、一方、分岐先バッファに未登録の分岐命令は、not-taken予測とされる。したがって、分岐確率が高い分岐命令を分岐先バッファに登録すべきである。しかしながら、Taken実行された未登録の分岐命令は無条件で分岐先バッファに登録される。したがって、この未登録の分岐命令が分岐確率の低い分岐命令であり、登録されるべきエントリに元々分岐確率が高い分岐命令が登録されていた場合、その分岐確率が高い分岐命令が消去される。したがって、この既登録の分岐命令に対する分岐予測が外れてしまう。またこの分岐確率が低い分岐命令が登録された場合、次の分岐予測はtaken予測となるが、実際の分岐実行結果はNot-Taken実行となり予測が外れる可能性が高い。したがって、分岐予測精度がこのよう未登録の分岐確率の低い分岐命令により劣化するという問題が生じる。

【0048】それゆえ、この発明の目的は、分岐命令が存在しても性能劣化の生じない命令処理装置を提供することである。

【0049】この発明の他の目的は、分岐予測精度(ヒット率)の高い分岐予測機構を備える命令処理装置を提供することである。

【0050】この発明のさらに他の目的は、処理性能および予測精度を低下させることなく書込/読出を行なうことのできる分岐先バッファを備える命令処理装置を提供することである。

【0051】この発明のさらに他の目的は、分岐確率の高い分岐命令のみを選択的に分岐先バッファに登録することのできる命令処理装置を提供することである。

【0052】

【課題を解決するための手段】請求項1に係る命令処理装置は、各々が、分岐命令特定情報と該分岐命令の有効/無効を示す1ビットの有効ビットとを少なくとも格納する複数のエントリを有する分岐先バッファと、与えられた命令が分岐命令のとき、この分岐先バッファの対応のエントリに格納された情報に含まれる有効ビットに従って、この分岐命令による分岐の発生の有無を予測する予測手段と、分岐命令を実行し、その実行結果に従って分岐予測手段が行なった予想が正しいか否かを判別する分岐判別手段とを含む。分岐命令は、実行されるべき処理を示す命令部分と、この分岐命令による分岐の発生が生じる可能性が高いか否かを示す分岐確率指示部分とを含んでいる。

【0053】請求項1の命令処理装置は、さらに、分岐確率指示部分のデータに従って、分岐先バッファの対応

10

20

30

40

50

のエントリの内容を変更する変更手段を備える。この変更手段は、対応のエントリに含まれる有効ビットが有効を示しかつ分岐発生指示部分が分岐発生の可能性が小さいことを示すときその有効ビットを無効状態とする手段を含む。

【0054】請求項2に係る命令処理装置は、請求項1の命令処理装置の変更手段が、分岐判別手段の判別結果が予測と実行結果の不一致を示しかつ有効ビットが有効を示しかつさらに分岐確率指示部分のデータが分岐発生の確率が高いことを示すとき、対応のエントリの内容を変更せずに維持する手段を含む。

【0055】請求項3に係る命令処理装置は、請求項1の変更手段が、分岐命令が対応のエントリに格納された分岐命令と同じ命令であるか否かを判別する同一判別手段と、この同一判別手段の判別結果が不一致を示しかつ与えられた分岐命令による分岐が発生したとき、分岐発生指示部分のデータが分岐発生の可能性が高いことを示すとき、その分岐命令により対応のエントリの内容を変更する手段をさらに備える。

【0056】請求項4に係る命令処理装置は、請求項1の装置が、さらに、1つのタグアドレスにより複数の命令がアドレス指定される命令キャッシュメモリをさらに含む。分岐先バッファは、1つのタグアドレスにより同時に指定される複数のエントリを含むように構成されたその分岐先バッファのタグアドレスと命令キャッシュメモリのタグアドレスは1対1態様で対応付けられる。

【0057】請求項4に係る命令処理装置は、さらに、この命令キャッシュメモリへ与えられる命令フェッチアドレスの一部によりアドレス指定される複数のエントリを含み、各エントリに分岐命令特定情報と該分岐命令の過去の分岐の発生の履歴を示す情報とを少なくとも格納する分岐先バッファと、命令キャッシュメモリにキャッシュミスが生じたとき、この命令キャッシュメモリの置換されるべき命令群に含まれる分岐命令に対応する、分岐先バッファ内のエントリの内容を無効化する手段を備える。

【0058】請求項5に係る命令処理装置は、与えられた命令が分岐命令であるか否かを判別する判別手段を含む。この分岐命令は、分岐先アドレスを示す即値を含む。

【0059】請求項5の命令処理装置は、さらに、判別手段が与えられた命令が分岐命令であることを示すとき、その即値の正・負を識別する符号識別手段と、各々が、分岐命令特定情報と該分岐命令の有効／無効を示す有効ビットとを少なくとも含む複数のエントリを有する分岐先バッファと、上記分岐命令に対応するエントリの内容を分岐先バッファから読出し、該読出された情報に含まれる有効ビットに従って、その分岐命令の分岐の発生の有無を予測する分岐予測手段と、分岐命令を実行して、該分岐命令による分岐が発生したか否かを示す信号

を生成する分岐判別手段と、この分岐判別手段の判別結果と分岐予測手段の予測結果とが不一致のとき、符号識別手段からの符号を示す信号に従って分岐先バッファの対応のエントリの内容を変更する変更手段を備える。

【0060】請求項6に係る命令処理装置は、請求項5の装置において、変更手段が、符号識別手段が即値が負であることを示すとき、その対応のエントリの内容を維持する手段を含む。

【0061】請求項7に係る命令処理装置は、各々が、分岐命令特定情報と該分岐命令の有効／無効を示す有効ビットを含む履歴情報とを格納する複数のエントリを含む分岐先バッファと、与えられた命令が分岐命令のとき、該分岐命令を実行し、分岐が発生したか否かを示す信号を発生する分岐実行手段を含む。分岐命令は、予め分岐が発生する可能性が低いかなを示す分岐確率指示情報を含む。

【0062】請求項7に係る命令処理装置は、さらに、分岐実行手段の実行結果が分岐発生を示すかつその分岐命令の分岐確率指示情報が分岐発生の可能性が低いことを示すとき、分岐先バッファの対応のエントリの内容の変更を禁止する手段を備える。

【0063】請求項8に係る命令処理装置は、各々が、分岐命令特定情報と該分岐命令による分岐の発生の期待値を示す情報とを少なくとも格納する複数のエントリを有する分岐先バッファを含む。

【0064】請求項8に係る命令処理装置は、さらに、与えられた命令が分岐命令のとき、その分岐命令を実行し、かつ分岐命令により分岐が発生したか否かを示す信号を発生する分岐実行手段を含む。この与えられた分岐命令は、分岐発生の期待値を示す情報を含む。

【0065】請求項8に係る命令処理装置は、さらに、与えられた分岐命令が分岐先バッファに登録されているか否かを判別する登録判別手段と、この登録判別手段が与えられた分岐命令の分岐先バッファにおける未登録を示し、かつ分岐実行手段の出力信号が分岐発生を示すとき、分岐先バッファの対応のエントリに既に別の分岐命令についての情報が有効に格納されているか否かを判別する有効登録判別手段と、この有効登録判別手段が別の分岐命令が有効に対応のエントリに格納されていると判別したとき、その与えられた分岐命令の予測期待値と該別の分岐命令の予測期待値とを比較する比較手段と、この比較手段が与えられた分岐命令の予測期待値が別の分岐命令の予測期待値以上であることを示すとき、この与えられた分岐命令に関連する情報を分岐先バッファの対応のエントリへ書込む手段を備える。

【0066】請求項9に係る命令処理装置は、請求項8の装置において、分岐先バッファの各エントリが対応の分岐命令の最近の分岐の履歴を示す履歴情報を含んでおり、分岐先バッファにおける予測期待値情報はこの履歴情報により与えられる。

【0067】請求項10に係る命令処理装置は、請求項8の装置において、書込手段が、この与えられた分岐命令に付随する分岐期待値情報に従って履歴情報の初期値を設定する手段を含む。

【0068】請求項11に係る命令処理装置は、各々が、分岐命令特定情報とその分岐命令の最近の分岐の発生の有無の履歴を示す履歴情報とを少なくとも格納する複数のエントリを有する分岐先バッファと、与えられた分岐命令に関連する情報が分岐先バッファに格納されているか否かを判別する判別手段と、与えられた分岐命令を実行し、その実行結果に従って与えられた分岐命令による分岐が発生したか否かを示す信号を発生する分岐実行手段を含む。この与えられた分岐命令は、その分岐命令による分岐発生の期待値を示す情報を含む。

【0069】請求項11に係る命令処理装置はさらに、判別手段が分岐命令の分岐先バッファにおける未登録を示しかつ分岐実行手段の出力信号が分岐発生を示すとき、この与えられた分岐命令の関連の履歴情報を分岐命令の含まれる分岐予測期待値に従って決定し、その分岐命令に関連する情報とともに決定された履歴情報を初期状態値として分岐先バッファに格納する手段とを備える。

【0070】請求項12に係る命令処理装置は、各々が、分岐命令特定情報と分岐先情報とを少なくとも格納する複数のエントリを含む分岐先バッファと、この分岐先バッファとは別に設けられかつ複数のエントリの各々に対応するロケーションを有し、各ロケーションに対応のエントリに格納された分岐情報の最近の分岐の発生の有無の履歴を示す履歴情報を格納する分岐履歴バッファと、与えられた分岐命令の対応のエントリの内容を分岐先バッファから読出してその分岐命令の分岐の発生の有無を予測する分岐予測手段と、与えられた分岐命令を実行し、その実行結果に従って分岐が発生したか否かを示す信号を生成する分岐実行手段と、この分岐予測手段の出力信号と分岐実行手段の出力信号とに従って、分岐履歴バッファの対応のロケーションに格納された値を変更する変更手段とを備える。

【0071】請求項13に係る命令処理装置は、請求項12における分岐予測手段が、分岐先バッファに与えられた分岐命令に対応する情報が格納されているか否かに従って分岐命令の分岐発生の有無を予測する手段を含む。

【0072】請求項14に係る命令処理装置は、請求項13の変更手段が、分岐予測手段が分岐発生を予測し、かつ分岐実行手段が分岐非発生を示すとき、分岐履歴バッファの対応のロケーションの値を所定値に変更する手段と、対応のロケーションの値が予め定められた値を示すとき、分岐先バッファの対応のエントリの内容を無効化する手段を含む。

【0073】請求項15に係る命令処理装置は、請求項

12の変更手段が、分岐予測手段が分岐非発生を予測し、かつ分岐実行手段が分岐発生を示すとき、分岐履歴バッファの対応のロケーションを初期値に設定する手段を含む。

【0074】請求項16に係る命令処理装置は、請求項15の装置において、変更手段が分岐予測手段が分岐非発生を予測しかつ分岐実行手段が分岐発生を示すとき、この分岐命令に関連する情報を分岐先バッファ対応のエントリに格納する手段を含む。

10 【0075】請求項17に係る命令処理装置は、各々が、分岐命令特定情報と分岐確率情報と該分岐命令の過去の分岐の発生の有無の履歴を示す履歴情報を格納する複数の記憶位置を含む分岐情報格納手段を備える。分岐命令はその分岐命令による分岐発生の期待値を示す情報を含む。

20 【0076】請求項17に係る命令処理装置は、さらに、与えられた分岐命令の期待値情報に従ってしきい値を設定するしきい値設定手段と、この与えられた分岐命令の対応の記憶位置の内容を分岐情報格納手段から読出し、分岐発生の有無を予測する予測手段と、この与えられた分岐命令を実行し、その分岐命令による分岐の発生の有無を示す信号を発生する分岐実行手段と、分岐予測手段の予測と分岐実行手段の分岐実行結果とが不一致のとき、該分岐命令に含まれる対応の履歴情報としきい値設定手段により設定したしきい値とに従ってこの分岐命令の履歴情報の値を決定し、対応の記憶位置にこの決定された履歴情報を書込む手段を含む。

30 【0077】請求項18に係る命令処理装置は、書込手段がさらに、分岐予測手段の分岐発生予測と分岐実行手段の分岐非発生指示とに従って、しきい値設定手段により設定されたしきい値と対応の履歴情報とからこの与えられた分岐命令の分岐発生予測値を決定してこの予測値を履歴情報とは別に分岐命令に分岐確率情報として関連付けて格納する手段を含む。

【0078】請求項19に係る命令処理装置は、この請求項18の分岐発生予測値は、分岐命令の有効/無効を示す有効ビットである。

40 【0079】請求項20に係る命令処理装置は、請求項17の命令処理装置の履歴情報設定手段が、分岐予測手段が分岐非発生を示し、かつ分岐実行手段が分岐発生を示すとき、この分岐命令の対応の履歴情報の初期値をしきい値設定手段が設定したしきい値に従って初期設定する手段を含む。

【0080】請求項21に係る命令処理装置は、請求項17において、分岐命令による分岐の発生確率を示す期待値は、その分岐命令に含まれる分岐先命令のアドレスの即値である。

50 【0081】請求項22に係る命令処理装置は、請求項17の装置において、分岐発生期待値を示す情報は、コンパイラにより分岐命令の特定のコード内に予め設定

される。

【0082】請求項23に係る命令処理装置は、請求項17の装置において、分岐情報格納手段が、分岐命令特定情報を記憶する手段と、対応の履歴情報を格納する記憶手段とが別々に設けられる構成を備える。

【0083】

【作用】請求項1の装置においては、分岐命令に含まれる分岐確率指示ビットが分岐発生確率が小さいことを示すとき、分岐先バッファの対応のエントリの内容が無効化されるため、分岐先バッファには分岐発生の確率の高い分岐命令のみが格納される可能性が高くなり、分岐予測精度が高くなる。

【0084】請求項2の装置においては、分岐予測がミスヒットであり、また分岐命令が登録されておりかつさらにその分岐命令の分岐発生確率が高いときには分岐先バッファの対応のエントリの内容を維持しているため、分岐発生の確率の高い命令がたまたま分岐を生じさせない場合においても分岐先バッファから除外されるのが防止され、分岐先バッファには分岐確率の高い分岐命令を登録することができ、応じて分岐予測精度が改善される。

【0085】請求項3の装置においては、与えられた分岐命令が対応のエントリに格納された分岐命令と同一か否かが判別され、両者が異なる場合には分岐が発生しかつこの与えられた分岐命令の分岐発生確率が高いことを分岐確率指示ビットが示している場合には、分岐先バッファの対応のエントリを与えられた分岐命令の内容で書替えるようにしているため、分岐先バッファには分岐確率の高い命令が格納され、応じて分岐予測精度が改善される。

【0086】請求項4の装置においては、命令メモリにおいてキャッシュミスが発生したとき、命令メモリにおいて置換されるべき命令群に含まれる分岐命令は分岐先バッファにおいて無効化されるため、不使用となる分岐命令が分岐先バッファに存在する可能性が小さくされ、使用される分岐命令のみが分岐先バッファに格納され、分岐先バッファの利用効率が改善される。

【0087】請求項5の装置においては、分岐予測がミスヒットのとき与えられた分岐命令に含まれる分岐先アドレスの即値の符号に従って分岐先バッファの対応のエントリの内容の変更の有無が決定されているため、与えられた分岐命令が後方分岐のような分岐発生確率が高い命令の場合には、高い確率で分岐先バッファに格納することができ、応じて分岐先バッファには分岐発生確率の高い分岐命令が格納され、応じて分岐予測精度が改善される。

【0088】請求項6の装置においては、分岐先アドレスの即値の符号が負のときには、その分岐命令は分岐確率の高い(分岐発生頻度の高い)後方分岐を行なう分岐命令であり、分岐確率の高い分岐命令が分岐先バッファ

に維持され、確率の低い予測ミスにより高い分岐確率を有する分岐命令が分岐先バッファから排除されるのが防止され、分岐予測精度の劣化が防止される。

【0089】請求項7の装置においては、分岐発生時においても分岐命令に含まれる分岐確率情報が分岐確率の低いことを示すときには、分岐先バッファへの該分岐命令の登録が禁止されるため、低い分岐確率の分岐命令で高い分岐確率の分岐命令が書替えられる可能性が低減され、分岐予測精度の低下が防止される。

10 【0090】請求項8の装置においては、未登録分岐命令により分岐が発生したとき、その分岐命令の予測期待値が対応のエントリに格納された分岐命令より分岐確率の高いことを示すときにのみ、その未登録分岐命令が分岐先バッファに登録され、応じて分岐先バッファに分岐確率の低い分岐命令が登録される可能性が小さくなり、分岐予測精度の低下が防止される。

20 【0091】請求項9の装置においては、分岐先バッファに格納された分岐命令の予測期待値はその履歴情報により表現されるため、分岐先バッファ内に余分の情報を格納する領域を設ける必要がなく、分岐先バッファの規模の増大が防止される。また、分岐先バッファ内の履歴情報は対応の分岐命令の実行時に更新されるため、命令処理状況に応じて分岐命令の登録/削除を行なうことができ、処理の進行状況に応じて動的に分岐先バッファに登録される分岐命令を判別することができ、高い分岐予測精度を実現することができる。

30 【0092】請求項10の装置においては、分岐命令に付随する分岐期待値に従って履歴情報の初期値が設定されるため、分岐命令の分岐確率の高低に従ってその履歴情報の初期値を設定することができ、分岐確率の低い分岐命令が分岐先バッファに登録されてもすぐに無効とされる可能性が高く、また分岐確率の高い分岐命令の分岐予測ミスヒット時においても無効とされる可能性が低く、分岐予測精度の劣化が防止される。

40 【0093】請求項11の装置においては、未登録分岐命令に含まれる分岐期待値に従ってその履歴情報の初期状態値を決定して、分岐命令情報とともに分岐先バッファに格納しており、分岐命令の分岐確率の高低に応じて柔軟にその履歴情報初期値を設定することができ、分岐予測精度の劣化が防止される。

50 【0094】請求項12の装置においては、分岐情報特定情報と履歴情報とは別々のバッファに格納されるため、分岐先バッファは通常サイクルにおいてはデータ読出だけであり、一方、履歴情報を格納する分岐履歴バッファは通常サイクルデータ書込動作が行なわれるだけであり、1つのバッファは1サイクルにおいて書込および読出が行なわれる可能性が小さく、命令処理機能および分岐予測性能の低下が防止されるとともに、また高速動作性が要求されず容易に分岐先バッファおよび分岐遅延バッファを実現することができる。

【0095】請求項13の装置においては、分岐命令が登録されているか否かによって分岐予測が行なわれるため、1ビット履歴方式の分岐予測と同様に分岐先バッファの構成を簡略化することができる。

【0096】請求項14の装置においては、分岐履歴バッファ内の分岐履歴情報が所定値に到達したとき、分岐先バッファの対応の分岐命令が無効化されており、複数ビット履歴方式と同じ分岐予測精度を実現することができる。

【0097】請求項15の装置においては、not-taken予測かつTaken実行のときに分岐履歴バッファにその分岐命令の履歴情報の初期値が設定され、これにより未登録分岐命令の履歴情報の初期値が格納されるため、分岐履歴バッファにおいては、何ら通常サイクルでの書込動作の他に余分の書込動作が必要とされず、未登録分岐命令の登録による処理時間の増大は生じず、サイクルペナルティは生じない。

【0098】請求項16の装置においては、not-taken予測かつTaken実行のときに分岐先バッファにこの未登録分岐命令が登録されるが、このような登録は未登録分岐命令による分岐が発生したときだけであり、その回数は全体として少なく、未登録分岐命令の登録によるサイクルペナルティは全体として小さな値にあり、処理性能および予測ヒット率の低下は防止される。

【0099】請求項17の装置においては、分岐予測がミスヒットしたときに、その分岐命令の分岐確率を示す分岐期待値に従って決定されたしきい値とその分岐命令の履歴情報とから履歴情報の更新値を決定しており、偶発的な分岐の方向変化による過剰な履歴情報の更新が抑制され、分岐予測ヒット率の低下が抑制される。

【0100】請求項18の装置においては、taken予測かつNot-Taken実行のとき、分岐命令の分岐期待値により設定されたしきい値と対応の履歴情報とから決定された分岐予測値が格納されるため、次の分岐予測がこの分岐予測値に従って行なわれ、分岐命令の分岐確率に応じた精度を持って予測を行なうことができ、分岐予測ミスヒットに起因する分岐予測精度低下を防止することができる。

【0101】請求項19の装置においては、分岐先バッファ内に格納される分岐予測値は有効ビットで表現されるため、分岐先バッファに余分の情報格納領域を設ける必要がなく分岐先バッファの規模（ハードウェア量）の増大が防止される。

【0102】請求項20の装置においては、taken予測かつTaken実行のときに分岐命令に含まれる分岐確率を示す分岐期待値に従って決定されたしきい値により、その分岐命令の履歴情報の初期値を設定しており、分岐命令の分岐確率を反映して履歴情報を決定することができ、分岐予測精度が改善される。

【0103】請求項21の装置においては、分岐先アド

レスの即値を分岐期待値として用いているため、何ら特別の命令コードを分岐命令に付加する必要がなく、分岐確率の高い後方分岐命令のような分岐命令の分岐確率を高精度で表現することができる。

【0104】請求項22に係る装置においては、分岐命令に含まれる分岐期待値は、コンパイラにより設定されるため、分岐命令の分岐確率は、その分岐命令の操作内容に応じて高精度で設定することができ、分岐予測精度が大幅に改善される。

【0105】請求項23に係る装置においては、請求項17の装置において分岐履歴情報と分岐命令特定情報とが別々のバッファに格納されるため、1つのバッファに対して1つのサイクルにおいて情報の書込および読出両方を行なう必要がほとんどなく、高速クロックサイクルにおいても余裕を持って分岐命令情報の読出および履歴情報の書込（更新）を行なうことができる。

【0106】

【実施例】

【実施例1】図2は、この発明の一実施例である命令処理装置に用いられる命令コードの構成を示す図である。図2において、命令コード10は、通常の（従来と同様の）命令コードが格納される命令コードフィールド10aと、この命令コードフィールド10aに格納された命令が分岐命令のとき分岐の発生する可能性（以下、分岐確率と称す）の高低を示すフラグalways-tを格納する分岐確率指示フィールド10bを含む。命令コードフィールド10aには、その命令の処理内容を示す操作コード（opコード）と、その操作に用いられるオペランドデータなどが格納される。分岐命令の場合には、この命令コードフィールド10a内にまた、分岐発生後に最初に処理される命令が格納されるアドレスすなわち分岐先アドレスが格納される。

【0107】分岐確率指示フィールド10bに格納されるフラグalways-tは、プログラムのコンパイル時において、コンパイラがその命令に応じてセットする。分岐命令による分岐の発生の確率が高い場合には、フラグalways-tは“1”にセットされ、それ以外の場合にはこのフラグalways-tは“0”にリセットされる。どのような分岐命令が高い分岐確率を有したどのような分岐命令が低い分岐確率を有するかの一例は、前述のJ・K・フリーの文献に示されている。たとえば、ループ制御に用いられる後方分岐のための分岐命令は、通常発生するため、その分岐確率は高く、サブルーチンコールのために用いられる分岐命令は常に分岐が発生するためその分岐確率は高く、また“NOP（no-operation）”として用いられる分岐命令は、分岐は生じず、その分岐確率は小さい。

【0108】この第1の実施例においては、1ビット履歴方式すなわち1ビットの履歴情報を保持する分岐先バッファを用いて分岐先予測および分岐先バッファの登録

・更新を行なう。

【0109】図1は、この発明の第1の実施例に従う命令処理装置の全体の構成を概略的に示す図である。図1において、命令処理装置は、分岐先命令に関連する情報を格納する分岐先バッファ20を含む。この分岐先バッファ20は、情報格納のための複数のエントリを有する書込/読出が可能なバッファ回路21aと、与えられたアドレス信号ADに従って対応のエントリを選択状態とするセクタ21bを含む。バッファ回路21aに含まれるエントリの各々は、分岐命令特定情報（命令番号など）PAと、その分岐命令により次に実行される命令が格納されたアドレスを示す分岐先アドレスBAとそのエントリに分岐命令が登録されているか否かを示す有効ビットVを格納する。有効ビットVが“1”のときに、そのエントリに分岐命令が登録されており、有効ビットが“0”の場合には、そのエントリには分岐命令が登録されていないことが示される。セクタ21bは、アドレス信号をデコードして対応のエントリを選択状態とするデコード回路であってもよく、また連想記憶などのように、アドレス信号ADを検索データとして検索動作を行ない、一致したエントリの内容を読出す構成が利用されてもよい。以下においては、説明を簡略化するために、このセクタ21bは、アドレス信号ADをデコードしてバッファ回路21aの対応のエントリを選択状態するように説明される。

【0110】命令処理装置はさらに、分岐先バッファ20から読出される有効ビットVと固定値“1”の一致/不一致を検出する比較器22と、この比較器22の出力信号に従って、固定値“1”と分岐先バッファ20から読出された分岐先アドレスBAの一方を選択してプログラムカウンタ26のカウンタ増分値を設定してプログラムカウンタ26の次のサイクルにおけるカウンタ値すなわち命令フェッチアドレスを設定するカウンタ設定回路24を含む。プログラムカウンタ26から出力されるカウンタ値すなわち命令フェッチアドレスは図示しない命令メモリへ与えられるとともに、その一部がアドレス信号ADとして分岐先バッファ20へ与えられる。分岐命令特定情報PAは、このプログラムカウンタ26からのカウンタ値、すなわち命令フェッチアドレスPCAのうち、アドレス信号ADを除く残りのビットがたとえば用

【0111】命令処理装置は、さらに、図示しない命令デコードから与えられる分岐命令情報（操作コード等）およびオペランドデータを受け、その分岐命令を実行し、その実行結果を示す信号Reを生成する分岐実行ユニット30と、分岐実行ユニット30の出力信号に従って分岐先バッファにおけるエントリの更新および分岐命令の登録を決定し、かつその登録/更新動作を制御するBTB登録/更新決定機構32を含む。分岐実行ユニット30へは、また分岐命令コードに含まれる分岐確率フ

ラグalways-tが与えられ、この分岐確率フラグは、BTB登録/更新決定機構32に与えられる。分岐実行ユニット30は、また比較器22からの分岐予測信号Prを受けてBTB登録/更新決定機構32へ与えるように示される。この分岐予測指示信号Prは分岐実行ユニット30を介することなく直接BTB登録/更新決定機構32へ与えられる構成が用いられてもよい。また、分岐実行ユニット30は、プログラムカウンタ26からの命令フェッチアドレスPCAを受けてラッチするように示されるが、このプログラムカウンタ26からの命令フェッチアドレスPCAは、図1において分岐命令情報として示す情報に含まれていてもよい。ここでは、信号の流れを明確にするために分岐実行ユニット30へ与えられる命令フェッチアドレスPCAは、命令デコードから与えられる分岐命令情報とは別の情報であるように示される。分岐実行ユニット30は、後にまたその構成については説明するが、このプログラムカウンタ26から与えられた命令フェッチアドレスPCAをラッチしており、分岐先バッファ20におけるエントリへの書込動作時にはそのラッチした命令フェッチアドレスPCAを分岐先バッファ20へ与える。次に動作について簡単に説明する。

【0112】命令メモリからの命令のフェッチ時には、プログラムカウンタ26から命令フェッチアドレスPCAが出力されて、命令メモリ（明確には示さず）および分岐先バッファ20へ与えられる。命令メモリからの命令のフェッチ動作と平行して、分岐先バッファ20から、この命令フェッチアドレスPCAの一部分であるアドレス信号ADに従って対応のエントリを選択が行なわれる。読出指示信号BTB-reが活性状態とされ、分岐先バッファ20が読出モードに設定され、選択されたエントリの内容が読出される。この選択されたエントリに含まれる有効ビットVが比較器22へ与えられ、また分岐先アドレスBAがカウンタ設定回路24へ与えられる。比較器22はこの与えられた有効ビットVを固定値“1”と比較し、その比較結果に従って分岐予測信号Prを発生して分岐実行ユニット30およびカウンタ設定回路24へ与える。比較器22は、この有効ビットVが“1”を示している場合には、taken予測を示す状態に信号Prを設定する。カウンタ設定回路24は、この比較器22からの分岐予測信号Prが、taken予測を示している場合には、カウンタ設定回路24は、この分岐先バッファ20から読出された分岐先アドレスBAを選択し、プログラムカウンタ26のカウンタ値をこの分岐先アドレスBAに対応する値に設定する。分岐予測信号Prがnot-taken予測を示しているとき、カウンタ設定回路24は固定値“1”を選択し、プログラムカウンタ26のカウンタ値すなわち次の命令フェッチアドレスを1増分する。

【0113】分岐実行ユニット30は、命令デコードか

ら与えられた命令が分岐命令のとき、その分岐命令に含まれるオペランドデータおよび操作コードおよび分岐確率フラグ *always-t* を受けてその分岐命令を実行する。分岐実行ユニット30は、その分岐命令の実行結果により分岐が発生するか否かに従って信号 *Re* を *Taken* 実行を示す状態および *Not-Taken* 実行を示す状態のいずれかの状態に設定する。このとき、分岐実行ユニット30は、またその分岐命令に関連して与えられた命令フェッチアドレス（プログラムカウンタ26の出力カウンタ値）PCAを分岐命令特定情報として分岐先バッファ20へ与える。分岐実行ユニット30は、またこの分岐命令に含まれる分岐先アドレスBAを分岐先バッファ20へ与える。

【0114】BTB登録/更新決定機構32は、分岐実行ユニット30から与えられる分岐予測信号 *Pr*、分岐実行結果指示信号 *Re* および分岐確率フラグ *always-t* に従って、分岐先バッファ20の対応のエントリへの書込を行なうべきかを決定し、その決定結果に従って必要な動作を行なう。このBTB登録/更新決定機構32が行なう動作およびその構成については後に詳細に説明するが、このBTB登録/更新決定機構32により、以下の動作が行なわれる。

【0115】登録動作：分岐予測信号 *Pr* が *not-taken* 予測を示し、分岐実行結果指示信号 *Re* が *Taken* 実行を示す場合には、その分岐命令に関連する情報が分岐先バッファ20の対応のエントリに格納され、その分岐命令の登録が行なわれる。

【0116】更新動作：分岐予測信号 *Pr* が *taken* 予測を示し、分岐実行結果指示信号 *Re* が *Not-Taken* 実行を示す場合には、分岐確率フラグ *always-t* の値に従って以下の動作が行なわれる。(i) 分岐確率フラグ *always-t* がリセットされている（値が“0”）とき、その分岐命令は分岐先バッファ20において無効化され、その登録が抹消される。(ii) 分岐確率フラグ *always-t* がセットされている（値が“1”）場合には、分岐先バッファ20への書込は行なわれず、対応のエントリの内容は維持される。

【0117】上述の構成により、分岐先バッファにおいて登録されている分岐命令の分岐確率が高い場合には、その分岐命令が、*Not-Taken* 実行とされても、依然分岐先バッファ20において登録される。これにより、分岐先バッファ20には分岐確率の高い命令が格納されることになり、分岐予測精度が高くなる。

【0118】図3は図1に示すBTB登録/更新決定機構の行なう制御動作を一覧にして示す図である。以下、この図3を参照して図1に示すBTB登録/更新決定機構の動作について詳細に説明する。

【0119】(I) *not-taken* 予測のとき：分岐先バッファ20から読出された対応のエントリに含まれる有効ビット *V* が“0”の場合、その分岐命令は登

録されていないと見なされ、*not-taken* 予測が行なわれ、信号 *Pr* は“0”の状態に設定される。

【0120】(a) 分岐実行結果が *not-taken* のとき；この分岐命令による分岐が発生しない場合には、分岐実行ユニット30（図1参照）から与えられる分岐実行結果指示信号 *Re* は、*Not-Taken* 実行を示す状態に設定される。この状態は、*not-taken* 予測/*Not-Taken* 実行であり、予測はヒットしている。この場合、登録されていない分岐命令による分岐が発生していないため、この分岐命令の確率フラグ *always-t* の値にかかわらず、分岐先バッファ書込イネーブル信号 *BTB-we* は“0”に設定され、分岐先バッファ20への書込は行なわれない。

【0121】(b) *Taken* 実行のとき；分岐実行結果指示信号 *Re* が、*Taken* 実行を示すとき、これは *not-taken* 予測/*Taken* 実行であり、予測ミスである。この場合、未登録分岐命令による分岐が発生しているため、分岐確率フラグ *always-t* の値にかかわらず分岐先バッファ20への書込が行なわれる。すなわち、分岐先バッファ書込イネーブル信号 *BTB-we* が“1”のデータ書込モードを示す状態に設定され、かつ有効フラグ *V* が“1”に設定され、その分岐命令に関連する情報すなわち分岐先アドレスBA、分岐命令特定情報（命令番号；プラグカウンタからの命令フェッチアドレスの所定のビット）とともに対応のエントリへ書込まれ、この分岐命令の登録が行なわれる。

【0122】(II) *taken* 予測のとき：分岐先バッファから読出されたエントリに含まれる有効ビット *V* が“1”のときには、分岐命令が登録されており、*taken* 予測が行なわれる。

【0123】(a) *Not-Taken* 実行のとき；分岐命令の実行結果により分岐が発生しない場合、分岐実行結果指示信号 *Re* は、*Not-Taken* 実行を示す状態に設定される。この場合は、*taken* 予測/*Not-Taken* 実行であり、予測ミスである。このときには、分岐確率フラグ *always-t* の値に従って分岐先バッファへの書込または分岐先バッファの対応のエントリの内容の維持が行なわれる。

【0124】(a1) 分岐確率フラグ *always-t* が“0”のとき；この状態は、分岐命令による分岐発生確率が小さいことを示している。この場合には、分岐先バッファ書込イネーブル信号 *BTB-we* が“1”とされ、かつ有効ビット *V* が“0”とされて分岐先バッファ20の対応のエントリへの書込が行なわれる。有効ビット *V* が“0”に設定されて、その内容が無効とされ、対応の分岐命令はその登録からはずされる。

【0125】(a2) 分岐確率フラグ *always-t* が“1”のとき；この場合には、分岐命令による分岐の発生する確率が高いため、対応の分岐先バッファの対応のエントリの更新は行なわれない。分岐先バッファ書

10

20

30

40

50

込イネーブル信号BTB-weは“0”の状態に設定され、分岐先バッファ20に対する書込動作は行なわれない。

【0126】(b) Taken実行のとき；分岐命令により分岐が発生した場合、分岐実行結果指示信号Reは、Taken実行を示す状態に設定される。この状態は、taken予測/Taken実行であり、予測はヒットしている。登録された分岐命令による分岐が発生しており、分岐先バッファ書込イネーブル信号BTB-weは“0”の状態に設定され、分岐先バッファへのデータ書込動作は行なわれず、この分岐命令の登録が維持される。分岐確率の高い分岐命令は、その分岐確率フラグalways-tをセットすることにより、一旦分岐先バッファ20に登録されたならば、たとえNot-Taken実行状態となっても、分岐先バッファ20における登録が無効化されることはない。したがって、ループ型処理に用いられる分岐命令などは、そのループ脱出の際にNot-Taken実行状態に入っても、分岐先バッファ20において無効化されず、その登録が維持される。したがって再度このループが実行されたときには、その分岐命令に対しtaken予測を行なうことができ、複数ビット履歴情報を有する分岐先バッファと同様の精度で分岐予測を行なうことができ、分岐予測のヒット率もそれと同様の値を期待することができる。しかも、用いられる履歴情報は1ビットであり、1ビット履歴方式と同様、分岐先バッファへの書込動作は、分岐予測が外れた場合にのみ必要とされるだけである。したがって、ほとんどのサイクルにおいて、分岐先バッファは、読出/書込のいずれかの動作を行なうだけであり、高速動作性は分岐先バッファには要求されず、応じて分岐先バッファの構築が容易となる。

【0127】図4は、図1に示すBTB登録/更新決定機構32の構成を概略的に示すブロック図である。図4においては、分岐実行ユニット30は、オペランドデータとオペコードを用いて分岐の発生の有無を検出する分岐検出部30aを含むように示される。この分岐検出部30aは、分岐命令が条件付分岐命令の場合に分岐の発生の有無を検出する。分岐命令が無条件分岐の場合には、命令デコードにより、分岐の発生を示す信号が生成されるように構成されてもよい。両者を含む場合には、命令デコードからの無条件分岐命令による分岐発生を示す信号とこの分岐検出部30aからの分岐実行結果信号Reの信号の論理和を取る構成が利用されればよい。

【0128】BTB登録/更新決定機構32は、分岐実行ユニット30からの分岐実行結果指示信号Reと分岐予測信号Prとに従って予測ヒット/ミスの判別および図3に示す4つの予測ヒット/ミス状態のうちのいずれであるかを識別する予測判定部32aと、予測判定部32aの出力信号と分岐確率フラグalways-tとに従って次に行なうべき動作を決定する動作識別部32b

と、動作識別部32bの出力信号に従って分岐先バッファ20へのデータ書込動作を制御する書込制御部32cを含む。書込制御部32cから分岐先バッファ書込イネーブル信号BTB-weおよび有効ビットVが出力される。

【0129】なお、図4においては、分岐予測信号Prおよび分岐確率フラグalways-tは分岐実行ユニット30の外部から与えられるように示されている。これは、分岐予測信号Prは図1に示す比較器22から直接与えられる構成が利用され、また分岐確率フラグalways-tは、命令デコードにより抽出されて直接このBTB登録/更新決定機構32へ直接与えられる構成を示しているためである。これらの分岐予測信号Prおよび分岐確率フラグalways-tがともに図1に示すように分岐実行ユニット30から与えられてもよい。

【0130】予測判定部32aは、信号ReおよびPrに従って、予測ミスの状態を検出しかつその予測ミスがtaken予測/Taken実行およびtaken予測/Not-Taken実行のいずれであるかを判別し、その判別結果を示す信号を動作識別部32bへ与える。動作識別部32bは、予測判定部32aの出力信号がnot-taken予測/Taken実行を示す場合には、分岐確率フラグalways-tの値にかかわらず書込制御部32cへ分岐命令登録を指示する信号を与える。

【0131】動作識別部32bは、予測判定部32aの出力信号がtaken予測/Not-Taken実行の場合を示しているときには、分岐確率フラグalways-tの値に従って次に行なわれるべき動作を示す信号を書込制御部32cへ与える。すなわち動作識別部32bは、この場合には、分岐確率フラグalways-tが“0”のときに書込制御部32cへ対応のエントリの内容を無効化するための制御信号を与える。動作識別部32bは、分岐確率フラグalways-tの値が

“1”のときには書込制御部32cへ書込禁止信号を与える。したがって、書込制御部32cが分岐先バッファへの書込動作を行なうのは、not-taken予測/Taken実行のときの登録動作時とtaken予測/Not-Taken実行でありかつフラグalways-t=“0”のときの更新動作時のみである。書込制御部32cは、登録動作時には有効ビットVを“1”に設定し、更新動作時には有効ビットVを“0”に設定する。

【0132】なお上述の分岐命令の分岐先バッファへの登録方法に従えば、分岐確率フラグalways-tが“1”に設定された分岐命令は、分岐先バッファに一旦登録されると基本的にはその登録状態が維持される。しかしながら、以下に説明する2つの場合においては、分岐先バッファに登録された分岐確率フラグalways-tが“1”に設定された分岐命令の無効化が行なわれ



る。これにより、登録すべき分岐命令の無登録が防止される。

【0133】(1) 図5は、分岐確率の高い分岐命令の重書きを行なうための構成を示す図である。図5においてBTB登録/更新決定機構32は、分岐先バッファ20から読出された対応のエントリに含まれる分岐命令特定情報PCAとプログラムカウンタ20からの命令フェッチアドレスとの不一致を検出する不一致検出器35と、分岐実行ユニット30からの分岐実行結果指示信号Reと、分岐実行ユニット30から与えられる新たな分岐命令にされた分岐確率フラグalways-tを受けて分岐先バッファへの登録を行なうためのゲート回路36を含む。ゲート回路36は、不一致検出器35の出力信号が不一致を示し(“1”)、分岐実行結果指示信号Reが分岐発生を示し(“1”)、かつ新たに与えられた分岐命令の分岐確率フラグalways-tが分岐確率の高いことを示すとき(“1”)、分岐先バッファ書込イネーブル信号BTB-weを活性状態としかつ有効フラグVをセット(“1”)する。これにより、未登録の分岐確率の高い分岐命令により分岐発生が生じたときには、この新たな分岐命令により分岐先バッファ20の対応のエントリの内容が書替えられる。

【0134】なお、図5に示す構成においては、分岐命令特定情報としてプログラムカウンタ26が出力する命令フェッチアドレスPCAそのものをすべて用いている。しかしながら、プログラムカウンタ26の出力する命令フェッチアドレスのうち、分岐先バッファ20のアドレス指定を行なうアドレス信号を除くアドレスが分岐命令特定情報として利用されてもよい。

【0135】(2) 分岐先バッファが命令キャッシュとアドレスタグを共有している場合、すなわち同じエントリの数(セット数)を有する場合、命令キャッシュメモリにおいてキャッシュミスが生じ、命令キャッシュメモリにおけるキャッシュブロックの置換が行なわれるとき、この置換が行なわれるべき命令群に含まれる分岐命令は分岐先バッファにおいて無効状態に設定される。

【0136】すなわち、図6に示すように、命令キャッシュメモリにおいては、高速でアクセスするために、メインメモリに含まれる命令/データのうち必要な(アクセスが要求される使用頻度の高い)命令/データが格納される。この場合、命令キャッシュメモリにおいては、メインメモリにおけるアドレス領域のうち、アドレスタグTAにより指定される領域40に従ってメモリ領域が分割される。命令キャッシュメモリに格納されるのは、このアドレスタグTAを先頭アドレスとしてアドレスセットSAで指定されるデータの塊すなわちキャッシュブロック42である。このキャッシュブロック42からセレクトワードSWに従って対応の命令が読出される。このセレクトワードSWは、命令キャッシュメモリがセットアソシティブ方式で命令を格納する場合には、ウェ

イアドレスをも含む。

【0137】図7は、命令メモリにおけるキャッシュミス/ヒットに応じて分岐先バッファ20の内容の無効化を行なうための構成を示す図である。プログラムカウンタ26から出力される命令フェッチアドレスPCAは、アドレスタグTAとアドレスセットSAとセレクトワードSWを含む。アドレスセットSAは、ディレクトリ52に与えられ、アドレスセットSAおよびセレクトワードSWが命令メモリ50へ与えられる。命令メモリ50においては、このアドレスセットSAとセレクトワードSWに従って対応の命令の読出しが行なわれる。ディレクトリ52では、アドレスセットSAで指定される領域に、命令メモリ50に格納されたアドレスセットSAを含むアドレスタグTAが格納される。したがって、ディレクトリ52からは命令メモリ50に含まれる現在アドレス指定されるキャッシュブロックのアドレスタグTAが読出される。

【0138】このディレクトリ52の出力とプログラムカウンタ26からのアドレスタグTAはタグ比較器54へ与えられ、そこで一致/不一致が判別される。タグ比較器54が一致を示す場合には、キャッシュヒットであり、命令メモリ50に必要とされる命令が格納されていることを示しており、この命令メモリ50から読出された命令が命令デコーダへ与えられる。タグ比較器54の出力信号CHが不一致を示す場合にはキャッシュミスであり、命令メモリ50には必要とされる命令が格納されていないため、メインメモリから対応の命令群が読出されて命令メモリ50へ格納される。

【0139】このとき、命令メモリ50においていずれの命令群を置換するかはLRU論理56から出力されるアドレス信号SA'により決定される。このLRU論理56は、最も古くアクセスされたキャッシュブロックのアドレスを格納しており、キャッシュミス発生時にはその最も古くアクセスされたキャッシュブロックのアドレスを出力して命令メモリ50へ与える。このLRU論理56からのアドレスSA'に従って命令メモリ50におけるキャッシュブロックの書替が行われる。分岐先バッファ20へは、またプログラムカウンタ26から命令フェッチアドレスPCAの一部のアドレス信号AWが与えられて対応のエントリの内容の読出が行なわれる。BTBコントローラ58は、タグ比較器54からのキャッシュミスを示す信号CHに従って分岐先バッファ書込イネーブル信号BTB-weを活性状態とするとともに有効フラグVを無効状態の“0”に設定する。分岐先バッファ20は、このLRU論理56から出力されるアドレス信号SA'に従って順次対応のエントリの内容の無効化を行なう。このとき、命令メモリ50と分岐先バッファ20のエントリおよびセットの数が同じであれば、アドレスセットSA(SA')で示される領域の分岐命令の無効化が行なわれる。分岐先バッファ20の記憶容量が

命令メモリ50のそれよりも小さい場合、アドレス信号AWがアドレスセットSAを含む場合には、同様、そのアドレスセットSAに従って分岐先バッファ20の対応のエントリの無効化が行なわれる。

【0140】BTBコントローラ58は、図1に示すBTB登録/更新決定機構32に含まれる。これにより、使用されない分岐命令が分岐先バッファ20に格納され、誤った分岐予測が行なわれるのを防止することができる。また、新たに分岐命令が与えられたとき、その分岐実行結果およびその分岐確率フラグの値に従って分岐先バッファ20の対応のエントリへ書き込むことができ、分岐先バッファの資源の競合を防止することができ、効率的に分岐命令を格納することができ、分岐予測精度の低下が防止される。

【0141】以上のように、この第1の実施例の構成に従えば、有効ビットの値に従って分岐予測を行なっているため、1ビットの履歴方式に従う分岐予測と同様、1サイクルにおいて読出および書き込みを同時に行なう可能性が極めて少なく、分岐予測妨害およびサイクルペナルティが大幅に低減され、また分岐命令に付された分岐確率フラグに従って分岐先バッファへの分岐命令の登録および分岐先バッファの変更を行なうように構成しているため、複数ビット履歴方式とほぼ同じ程度の分岐予測ヒット率を得ることができる。

【0142】〔実施例2〕図8は、分岐命令の構造の一例を示す図である。図8において分岐命令は、命令コードおよび処理されるべきオペランドデータを含む操作コード部OPと、分岐発生時に実行される命令のアドレスを示す分岐先アドレスDAを含む。この分岐先アドレスDAは、この分岐命令のアドレスを基準として相対アドレスを示す即値(I<sub>m</sub>)で表現される。

【0143】すなわち、図9に示すように、命令メモリにおける分岐先命令のアドレスは、分岐命令のアドレスPCAとこの分岐命令に含まれる即値I<sub>m</sub>の和で与えられる。図1に示すように分岐発生時にカウント設定回路により選択された分岐先アドレスBAが、プログラムカウンタ26のそのときのカウンタ値に加算されることにより実現される。

【0144】分岐命令は、ループ制御のような後方分岐を行なう場合、その分岐確率は、平均約90%程度であり、一方、前方分岐を行なう分岐命令による分岐確率は平均で約50%程度である(「コンピュータ・アーキテクチャ:クォンティタティブ・アプローチ」、D.

A. パターソン等、モルガン・カフマン出版社、1990年発行、第108頁参照)。すなわち、後方分岐命令は、その分岐確率フラグalways-tは“1”に設定されると予測される。一方、前方分岐の分岐命令の多くはその分岐方向に偏りがないと考えられる。したがって、分岐確率フラグalways-tを“1”とすべき分岐命令の多くは、後方分岐命令により占められ

と考えられる。後方分岐を行なう分岐命令の場合、その命令コードに含まれる即値I<sub>m</sub>が負であり、この即値I<sub>m</sub>の符号を識別することにより、分岐確率をほぼ予測することができる。

【0145】図10は、この発明の第2の実施例である命令処理装置の要部の構成を示す図である。図10においては、図1および4に示すBTB登録/更新決定機構の部分の構成を示す。他の構成は図1に示す構成を利用することができる。図10においてBTB登録/更新決定機構32は、与えられた分岐命令に含まれる即値I<sub>m</sub>の符号を判別する符号判別器60と、符号判別器60の出力信号φALWTと分岐実行結果指示信号Reと分岐予測信号Prに従ってBTBに対して行なうべき動作を決定し、その決定された動作を実行する登録・更新実行部62を含む。符号判別器60は、たとえば即値の最上位ビットの符号ビットの値により即値I<sub>m</sub>の正/負の符号を示す信号φALWTを出力する。この符号判別器60からの出力信号φALWTは、即値I<sub>m</sub>が正を示すときには“1”に設定され、即値I<sub>m</sub>が負の場合には、信号φALWTは“0”に設定される。すなわち、この信号φALWTは、第1の実施例における分岐確率フラグalways-tと同じものとして扱うことができる。登録・更新実行部62は、この信号φALWTをフラグalways-tとして用いて図3に示す論理に従って有効ビットVおよびBTB書き込み抑制信号BTB-weの状態を決定して出力する。登録・更新実行部62の行なう動作は、したがって、第1の実施例におけるBTB登録/更新決定機構32のそれと同じである。

【0146】この第2の実施例に従えば、分岐命令の命令コードのフィールドの構成を変更する必要がなく、既存のオブジェクト・コードを用いて容易に分岐確率の高い分岐命令を優先的に分岐先バッファへ格納することができるとともに、分岐予測は有効ビットVに従って行なわれるため、1ビット履歴方式による分岐予測方法と同様、容易に分岐先バッファを構築することができ、また複数ビット履歴方式の分岐予測と同程度の分岐予測ヒット率を得ることができる。

【0147】〔実施例3〕図11は、この発明の第3の実施例において用いられる分岐命令の構造を概略的に示す図である。図11において、分岐命令コード10は、通常に分岐命令コードを格納する命令コードフィールド10aと、この分岐命令の発生確率の高低を示す分岐確率フラグalways-nを格納する分岐確率指示フィールド10cを含む。この分岐確率フラグalways-nは、関連的分岐命令による分岐の発生の確率が低い場合には、“1”にセットされ、そうでない場合には“0”にセットされる。このような分岐確率の低い命令としては、前述のように、“NOP”として用いられる分岐命令、およびレジスタへのロードを行なうために用いられる分岐命令などがあり、このような例は、前述の

リー等の文献において例示されている。この分岐確率フラグ *always-n* は、コンパイラにより、命令コードのコンパイル時にセット/リセットされる。

【0148】分岐先バッファは、図1に示すものと同じ構成を備え、そこに格納される有効ビットVの“1”および“0”によりその分岐予測が行なわれる。すなわち、対応のエントリに格納された有効ビットVが“1”のときは、*taken*予測が行なわれ、有効ビットVが“0”のときには、*not-taken*予測が行なわれる。すなわち、登録分岐命令に対しては*taken*予測が行なわれ、未登録分岐命令に対しては*not-taken*予測が行なわれる。この分岐予測動作は第1の実施例のものと同じである。したがって、以下に、分岐先バッファへの書込動作について説明する。

【0149】図12は、この発明の第3の実施例における分岐先バッファへの書込動作を一覧にして示す図である。以下、図12を参照してこの発明の第3の実施例における分岐先バッファへの書込動作について説明する。

【0150】(I) *not-taken*予測のとき：

(a) *Not-Taken*実行のとき；この状態は、予測ヒットであるが、分岐命令実行結果は、*Not-Taken*実行であり、この分岐命令の分岐先バッファへの登録は行なわれず、したがって分岐先バッファ書込イネーブル信号 *BTB-we* は“0”に維持される。

【0151】(b) *Taken*実行のとき；予測ミスであるが、この場合には分岐確率フラグ *always-n* が参照されて、その値に従って書込動作が行なわれる。

【0152】(b1) *always-n* が“1”のとき；この状態においては、分岐命令は、分岐発生確率が低い分岐命令であり、分岐先バッファへの登録は行なわれない。したがってこのときには、分岐先バッファ書込イネーブル信号 *BTB-we* は“0”の状態に維持される。

【0153】(b2) *always-n* が“0”のとき；この場合には、分岐確率の低くない未登録分岐命令により分岐が発生しているため、分岐先バッファ書込イネーブル信号 *BTB-we* が“1”に設定され、かつ有効ビットVが“1”に設定され、この分岐命令に関連する情報とともに分岐先バッファの対応のエントリに格納され、この分岐命令の登録が行なわれる。

【0154】(II) *taken*予測のとき：

(a) *Not-Taken*実行のとき；1ビット履歴方式に従って、*Not-Taken*実行の分岐命令はその分岐確率フラグ *always-n* の値にかかわらず無効化される。すなわち、分岐先バッファ書込イネーブル信号 *BTB-we* が“1”に設定され、有効ビットVが“0”に設定されて分岐先バッファへの書込（更新）が行なわれる。

【0155】(b) *Taken*実行のとき；分岐確率

フラグ *always-n* を参照し、その値に従って次に行なわれる動作が決定される。

【0156】(b1) *always-n* が“1”のとき；この状態は、分岐命令による分岐確率は低いため、次の実行時において分岐が発生する可能性は極めて低くなるため、分岐先バッファからこの分岐命令は除外される。すなわち、分岐先バッファ書込イネーブル信号 *BTB-we* が“1”に設定されかつ有効ビットVが“0”に設定されて対応のエントリの内容の無効化が行なわれる。

【0157】(b2) *always-n* が“0”のとき；この状態においては、分岐先バッファ書込イネーブル信号 *BTB-we* は“0”の状態に維持され、分岐先バッファへの書込動作は行なわれず、対応のエントリの内容は維持される。

【0158】図13は、図12に示す論理を実行するための構成を示す図である。図13において、*BTB*登録/更新決定機構64は分岐実行ユニット（図1参照）から与えられる分岐確率フラグ *always-n*、分岐実行結果指示信号 *Re* および分岐予測信号 *Pr* の状態に従って、分岐先バッファ書込イネーブル信号 *BTB-we* および有効ビットVを所定の状態に設定する。この *BTB*登録/更新決定機構64が、図1に示す命令処理装置において、*BTB*登録/更新決定機構32に置き換えて利用される。

【0159】上述のように、分岐確率の低い分岐命令は、できるだけ分岐先バッファへの登録を行わないように構成することにより、*taken*予測/*Not-Taken*実行の予測ミスが生じる可能性が少なくなり、分岐予測ヒット率が改善される。また、このような分岐確率の低い分岐命令の登録をできるだけ行なわないように構成することにより、対応のエントリに格納されていた分岐確率の高い分岐命令が無効化される可能性が低くなり、*not-taken*予測/*Taken*実行が生じる可能性が小さくされ、また分岐予測ヒット率が改善される。

【0160】[実施例4] 図14は、この発明の第4の実施例において用いられる分岐先バッファのエントリの構成を示す図である。図14において、分岐先バッファ20の記憶領域20aは、複数のエントリ3を含む。エントリ3は、有効ビットVを格納するフィールドと、分岐命令を特定する情報（PA）を格納するフィールド3bと、分岐先情報（BA）を格納するフィールド3dと、このこの分岐命令の分岐の発生の期待値を格納するフィールド3eを含む。このフィールド3eに格納される分岐期待値は、コンパイラにより分岐命令に付加される構成が利用されてもよく、また分岐命令の即値に従ってハードウェアにより分岐期待値が決定されて対応のエントリに格納される構成が利用されてもよい。これらは、先の実施例において説明したフラグ *always-n*

t、always-onおよび信号φALWTが、それぞれ分岐先バッファへ書込む構成が利用されてもよい。このときまた分岐期待値は、“0”および“1”の2値のいずれかを取るのではなく、より多くの値のうちのいずれかを取る多値の分岐期待値であってもよい。ハードウェアにより多値の分岐期待値を発生して分岐先バッファ対応のエントリに書込む構成については後に説明する。

【0161】図15は、この発明の第4の実施例における分岐先バッファの書込動作を示すフロー図である。以下図14および図15を参照してこの発明の第4の実施例における分岐先バッファの書込動作について説明する。

【0162】命令カウンタから命令フェッチアドレスが出力されると、この命令フェッチアドレスに従って命令メモリから命令が読出され、分岐命令が実行される（ステップS12）。この分岐命令の実行動作と平行して、命令フェッチアドレスに従って分岐先バッファの対応のエントリに含まれる有効ビットVが読出され、その有効ビットVの値に従って分岐予測が行なわれる（ステップS14）

分岐命令の実行の結果、その分岐命令による分岐が発生するかどうかの識別が行なわれる（ステップS16）。実行結果が、Taken実行でない場合、すなわちNot-Taken実行であり、分岐が発生しない場合には、分岐先バッファのエントリの内容の変更は行なわれない。一方、Taken実行の場合には、この与えられた分岐命令が分岐先バッファに登録されているかどうかの判別が行なわれる（ステップS18）。この判別動作については後に説明するが、有効ビットVまたは分岐命令特定情報（PA）が利用される。与えられた命令が登録されている場合には、分岐先バッファの内容の変更は行なわれない。

【0163】一方、ステップS18において、与えられた分岐命令が未登録であると判定された場合、次いで分岐予測結果に従って分岐先バッファに空きエントリがあるかどうかの判別が行なわれる（ステップS20）。この空きエントリの有無の判別においては、分岐予測が、not-takenを示しているときには、有効ビットVが“0”であり、対応のエントリに登録分岐命令が存在しないことを示しており、空きエントリがあると判別される。空きエントリが存在する場合には、この空きエントリへ分岐命令に関連する情報がその分岐期待値とともに書込まれる（ステップS22）。

【0164】空きエントリが存在しない場合、対象エントリのフィールド3eに含まれる分岐期待値が、この実行された分岐命令の分岐期待値よりも小さいか否かの判別が行なわれる（ステップS24）。対象エントリの分岐期待値が実行された分岐命令の分岐期待値よりも大きい場合には、分岐先バッファへの書込は行なわれない。一方、実行された分岐命令の分岐期待値が対象エントリ

のフィールド3eに含まれる分岐期待値以上の場合には、その対象エントリへの実行された分岐命令に関連する情報の書込が行なわれ、実行された分岐命令の登録が行なわれる（ステップS26）。

【0165】上述の処理動作により、分岐確率の高い登録分岐命令が、分岐確率の低い分岐命令で書替えられるのが防止され、分岐予測のヒット率の低下が防止される。次に具体的構成について説明する。

【0166】(I) 分岐先バッファがダイレクトマップの場合：分岐先バッファ20における分岐命令の格納するアドレス領域がダイレクトマッピングで指定される場合、分岐先バッファ20のアドレス指定には、プログラムカウンタから出力される命令フェッチアドレスのうちワードアドレスWAが用いられる。このワードアドレスWAは、セットアドレスSAとそのセット内における対応のワードのアドレスSWを含む。アドレスタグTAが、対応のエントリ3内の分岐命令特定情報として図14に示すフィールド3b内に格納される。なお、ここでは命令メモリのセット数と分岐先アドレスのエントリ数が等しいことを想定している。分岐先バッファ20のエントリ数が、命令メモリのセット数よりも少ない場合には、この図16に示すワードアドレスWAの所定数の下位ビットによりアドレス指定する構成が利用されればよく、この場合、図14に示すフィールド3b内に含まれる分岐命令特定情報はアドレスタグTAとこのワードアドレスWAの上位ビットを含む。また単に、プログラムカウンタから出力される命令フェッチアドレスのうちセットアドレスのみが分岐先バッファのエントリのアドレス指定のために利用される構成が用いられてもよい。

【0167】ダイレクトマップの場合、実行された分岐命令が書込まれるべきエントリすなわち登録対象エントリの数は1つである。この場合、登録対象エントリ3が空の場合には、実行された分岐命令に関連する情報が登録対象エントリ3に書込まれ、その分岐命令の登録が行なわれる。このダイレクトマップの場合、単に有効ビットVの値に従って、登録/未登録および空きエントリの有無の判別が行なわれる。

【0168】登録対象エントリが空きエントリでない場合、すなわち有効ビットVが“1”の場合、実行された分岐命令に含まれる分岐期待値と登録対象エントリ3に格納された分岐期待値の比較を行なう。登録対象エントリ3に格納された分岐期待値が、実行された分岐命令の分岐期待値よりも大きい場合、この実行された分岐命令の登録は行なわれない。

【0169】一方、登録対象エントリに格納された分岐期待値が、実行された分岐命令の分岐期待値以下の場合には、この実行された分岐命令の登録が行なわれる。

【0170】図17は、ダイレクトマップ方式の分岐先バッファに対する登録/更新の分岐先バッファの登録を行なうための構成を示す図である。図17において、分

岐登録制御部70は、分岐先バッファ20の対応のエントリから読出された有効ビットVを格納するラッチ71と、対応のエントリから読出された分岐期待値BEXPを格納するラッチ72と、ラッチ71に格納された有効ビットVの値にしたがって実行された分岐命令が分岐先バッファ20に登録されているか否かを判別する登録判別部73と、分岐実行ユニット80からの分岐実行結果指示信号Reと登録判別部73の出力する登録指示信号RGに従って分岐先バッファに対する書込を行なうか否かを判別する書込判別部74と、登録判別部73からの登録指示信号RGと分岐実行ユニット80からの分岐実行結果指示信号Reに従って活性信号を発生する活性回路75と、この活性回路75の出力信号にตอบสนองして活性化され、ラッチ72に格納された分岐期待値BEXPと分岐実行ユニット80から与えられた分岐期待値BEXPの大小を比較する比較器76と、書込判別部74の出力信号と比較器76の出力信号に従って分岐先バッファ書込イネーブル信号BTB-weおよび有効ビットVの状態を設定する書込制御部77を含む。

【0171】分岐実行ユニット80は、分岐命令情報を受けてその分岐命令を実行し、分岐命令実行結果指示信号Reを出力するとともに、その実行した分岐命令に関連する情報およびその分岐期待値BEXPを出力する。

【0172】登録判別部73は、ラッチ71に格納された有効ビットVが“1”のときには、実行中の分岐命令が分岐先バッファに登録されていると判別し、登録判別信号RGを“1”に設定する。書込判別部74は、分岐実行ユニット80からの分岐実行結果指示信号ReがTaken実行を示しかつ登録判別部73からの登録指示信号RGが未登録を示すとき、書込制御部77へ対応の実行された分岐命令を書込むことを指示する信号を与える。

【0173】活性回路75は、分岐実行ユニット80からの実行結果指示信号ReがTaken実行を示し、かつ登録判別部73の出力する登録指示信号RGが登録を示すときに活性状態の信号を出力する。比較器76は、この活性回路75からの活性状態の信号にตอบสนองして活性化され、ラッチ72の分岐期待値BEXPと分岐実行ユニット80からの分岐期待値BEXPの大小を比較し、分岐実行ユニット80からの分岐期待値80がラッチ72からの分岐期待値以上のときに書込制御部77へ実行された分岐命令を書込むことを示す信号を出力する。

【0174】書込制御部77は、この書込判別部74および比較器76のいずれか一方が書込を指示する場合に、分岐先バッファ書込イネーブル信号BTB-weを活性状態としかつ有効ビットVを“1”に設定して分岐先バッファ20へ与える。これにより、分岐期待値の大きな分岐命令が分岐先バッファに登録され、分岐期待値の小さな分岐命令により分岐期待値の大きな分岐命令が書替えられることが防止される。

【0175】なお、図17に示す構成においては、Not-Taken実行のときの分岐先バッファへの書込を制御する構成は示していない。これは、分岐先バッファのエントリのフィールドの構成に従って、複数ビットの履歴情報が利用される場合は、その複数ビットの履歴情報の値に従って登録の維持/無効が行なわれ、また1ビット履歴方式のように有効ビットVのみが利用される場合には、単に対応のエントリの有効ビットVの無効化が行なわれるか、またはその分岐命令の分岐期待値の大きさに従って選択的に有効ビットVの無効化が行なわれ、このような構成のいずれが適用されてもよいためである（このような構成については後に説明する）。

【0176】(II) 分岐先バッファがセットアソシアティブの構成を備える場合：今、図18に示すように分岐先バッファ20が、4つのウェイを備える4ウェイセット・アソシアティブ方式の構成を備える場合について説明する。このウェイの数は任意である。この4ウェイセット・アソシアティブ方式の場合、プログラムカウンタから出力される命令フェッチアドレスのうち、所定数のアドレスビットがアドレスタグTAとして用いられ、別の所定数のアドレスビットがアドレスセットSAとして用いられる。アドレスセットSAにより分岐先バッファ20の対応のエントリの内容が読出される。分岐先バッファ20は、4ウェイセット・アソシアティブ方式であり、このセットアドレスSAに従って4つのエントリ3-1~3-4に格納された内容EN1~EN4が同時に選択される。アドレスセットSAは、またディレクトリ85へ与えられる。ディレクトリ85は、そのセットアドレスSAが示す領域においてウェイ#1~#4それぞれに対して格納された分岐命令のアドレスタグTAを格納し、セットアドレスSAに従って各ウェイ#1~#4それぞれに対応するアドレスタグを出力する。比較器86は、このディレクトリ85から出力された4つのアドレスタグとプログラムカウンタから与えられた所定のアドレスビットで構成されるアドレスタグTAとを比較し（4ウェイ同時に）、その比較結果に従ってウェイアドレスWAYおよびヒット/ミス指示信号H/Mを出力する。ウェイセクタ87は、このウェイアドレスWAYに従って、4つのエントリの内容EN1~EN4から1つのウェイの内容を選択して出力する。このとき、比較器86の出力信号H/Mがミスを示している場合、実行される分岐命令は分岐先バッファ20に登録されていないことを示しており、したがってこの場合not-taken予測が行なわれる。すなわちこのヒット/ミス指示信号H/Mはまた、分岐命令の登録/未登録を示す仕事として利用され、分岐予測に用いられる。比較器86の出力信号H/Mがヒットを示すとき、ウェイセクタ87により選択されたエントリの内容ENiに従って分岐予測が行なわれる。このような4ウェイセット・アソシアティブ方式の場合、Taken実行された未登

録分岐命令が登録されるべきエントリの位置は4つ存在する(ウェイ#1~ウェイ#4のいずれか)。この場合、以下の手順で未登録分岐命令の登録が行なわれる。

【0177】空きエントリが存在する場合、その空きエントリに対して未登録分岐命令の登録が行なわれる(書込が行なわれる)。空きエントリの有無は、図18に示すエントリ3-1~3-4から読出された内容EN1~EN4それぞれに含まれる有効ビットの値を見ることにより検出される。与えられた分岐命令が未登録であるか否かは、比較器86から出力される信号H/Mがミスを示していることにより識別されるか、または分岐命令情報の比較により識別される。

【0178】空きエントリが全く存在しない場合には、まず、分岐期待値が最も小さい分岐命令が格納されたエントリが検出される。次いで、この検出された最小の分岐期待値が、未登録分岐命令の分岐期待値と比較される。未登録分岐命令の分岐期待値が、検出された最小の分岐期待値以上のときに、この最小の分岐期待値の分岐命令に変えて未登録分岐命令が登録される。検出された最小の分岐期待値が未登録分岐命令の分岐期待値よりも大きい場合には、この未登録分岐命令の登録は行なわれない。

【0179】上述の一連の置換動作により、分岐先バッファのエントリの書替えは、新たに与えられた分岐命令の分岐期待値が、登録分岐命令の分岐期待値以上の場合に限って行なわれ、書替えが行なわれた後の分岐先バッファのエントリの分岐期待値は、置換前に比べて低くなることはない。これにより、エントリ内容の置換による分岐予測ヒット率の低下を防止することができる。

【0180】図19は、この未登録分岐命令の登録/未登録を行なうための構成を示す図である。この図19に示す構成は、図1に示す登録/更新決定機構に対応する。

【0181】登録/更新決定機構は、分岐先バッファ20から読出されたエントリに含まれる有効ビットと図18に示すヒット/ミス信号H/Mとに従って、与えられた分岐命令の分岐予測を行ない、その予測結果を示す分岐予測信号Prを出力する分岐予測器90と、分岐先バッファレジスタから並列に読出された4つのエントリのそれぞれの有効ビットおよび分岐期待値をラッチするラッチ回路91と、分岐命令実行ユニット92から出力される分岐実行結果指示信号Reと分岐予測信号Prとヒット/ミス指示信号H/Mとに従って、与えられた命令が登録された分岐命令であるか否かを検出する登録/未登録検出部93と、登録/未登録検出部93からの未登録検出信号φRにตอบสนองして活性化され、ラッチ回路91からの4つのエントリの有効ビットV1-V4を受け、空きエントリが存在するか否かを検出するとともに空きエントリを示す信号way-eを出力する空きエントリ検出器94と、登録/未登録検出部93からの未登録検

出信号φRと空きエントリ検出器94の空きエントリ非検出信号zeとにตอบสนองして活性化され、ラッチ回路91からの4つのエントリそれぞれの分岐期待値から最小の分岐期待値を有するエントリを検出し、該エントリを示すウェイ信号way-mを出力する最小値検出器95と、登録/未登録検出部93からの未登録検出信号φRにตอบสนองして活性化され、最小値検出器95からの最小値分岐期待値と分岐命令実行ユニット92から出力される分岐命令の分岐期待値BEXPとを比較し、その比較結果を示す信号を出力する比較器96と、空きエントリ検出器94の出力する信号way-e、最小値検出器95の出力信号way-m、比較器96の出力信号、登録/未登録検出部93からの出力信号PrおよびRe、および分岐命令実行ユニット92からの分岐期待値およびその他の分岐命令情報を受け、分岐先バッファ20に対する書込を行なう書込実行ユニット97を含む。

【0182】分岐予測器90は、分岐先バッファ20のウェイセレクト87により選択されたエントリに含まれる有効ビットVが無効状態の“0”を示すかまたはヒット/ミス信号H/Mがミスを示すときに分岐予測信号Prをnot-taken予測の状態に設定する。

【0183】登録/未登録検出部93は以下の状態のときに未登録検出信号φRを活性状態に設定する。(i)分岐実行結果指示信号ReがTaken実行を示しかつヒット/ミス指示信号H/Mがミス状態を示すとき：この状態は、実行された分岐命令は、分岐先バッファには登録されていないことを示しており、その実行された分岐命令を登録する可能性があることを示す。(ii)分岐実行結果指示信号ReがTaken実行を示しかつ分岐予測信号Prがnot-taken予測を示すとき：この場合においては、ヒット/ミス信号H/Mがミスを示す状態をも含むが、分岐先バッファ20において単に有効ビットVが無効状態の“0”の状態に設定された分岐命令が選択されたときにはヒット/ミス信号H/Mがヒット状態を示す場合があり、これに対処するため、その状態においても未登録検出信号φRを未登録状態を示す活性状態に設定する。登録/未登録検出部93は、分岐予測信号Prがtaken予測を示すかまたは分岐実行結果指示信号ReがNot-Taken実行を示す場合には、未登録検出信号φRを非活性状態に維持する。

【0184】空きエントリ検出器94は、登録/未登録検出部93からの未登録検出信号φRが活性状態のときに活性化され、ラッチ回路91から与えられる有効ビットV1-V4のうち無効状態を示すウェイを示す信号way-eを出力する。この空きエントリ検出器94の成としては、有効ビットV1-V4それぞれをその第1の入力に受け、未登録検出信号φRをそれぞれの第2の入力に受け、この未登録検出信号φRが活性状態のときにバッファとして動作して対応の有効ビットV1-V4を出力する構成を利用することができる。信号way-

eは、たとえば、ウェイ#1〜#4それぞれに対応して設けられ、対応のウェイが空きエントリの場合に活性状態となる4ビットの信号の構成を備える。

【0185】最小値検出器95は、登録/未登録検出部93からの未登録検出信号φRおよび空きエントリ検出器94からの空きエントリ非存在検出信号zeがともに活性状態のときに活性化され、ラッチ回路91から出力される各ウェイそれぞれの分岐期待値から最小値を選択し、その最小の分岐期待値を有するウェイを示す信号way-mを出力する。この信号way-mも各ウェイそれぞれに対応して設けられる4ビットの信号が一例として利用される。

【0186】比較器96は、未登録検出信号φRにตอบสนองして活性化され、最小値検出器95から出力される最小分岐期待値BEXPと分岐命令実行ユニット92から与えられる分岐期待値BEXPの大小を比較し、その大小結果に従った信号を出力する。BEXP≥BEXPのとき、比較器96は、書替えを示す信号を出力する。ここで、比較器96へは、空きエントリ検出器94からの空きエントリ非存在検出信号zeは与えられていない。最小値検出器95は非活性化時信号way-mはいずれのウェイをも示さないため、その状態においては比較器96の出力信号は無視される状態に設定される構成が利用されるためである。

【0187】書込実行ユニット97は、これらの信号way-e、way-mおよび比較器96の出力信号、さらに登録/未登録券支部93を介して与えられる分岐予測信号Prおよび分岐実行結果指示信号Reに従って分岐先バッファに対し行なうべき動作を識別し、分岐命令実行ユニット92から与えられる分岐命令情報と分岐期待値とを含む分岐命令関連情報の分岐先バッファ20への書込/非書込を行なう。書込実行ユニット97は、信号way-eが1つのウェイを示す場合には、分岐先バッファ書込イネーブル信号BTB-weを活性状態としかつ有効ビットVを有効状態の“1”とし、かつウェイ信号wayをこの信号way-eに対応するウェイを指定する状態に設定し、分岐命令関連情報を対応のエントリへ書込む。書込実行ユニット97は、また、比較器96の出力信号が書込を示す場合には最小値検出器95からの信号way-mに対応するウェイを示すように信号wayを設定し、かつ書込イネーブル信号BTB-weを活性状態としかつ有効ビットVを有効状態を示す“1”に設定する。

【0188】Not-Taken実行の場合には、書込実行ユニット97は、分岐先バッファ20へのこの分岐命令の登録を行なわない。このとき、先の実施例1ないし3の構成が適用されてもよく、また後に説明する実施例の構成が適用されてもよい。本実施例においては、Taken実行された未登録分岐命令の分岐先バッファ20への登録動作のみを対象とする。

【0189】書込実行ユニット97は、未登録分岐命令の登録を行なった場合には、また図18に示すディレクトリ85に対処するウェイにおいて、この分岐命令(未登録命令)のタグを格納する。

【0190】以上のように、この発明の第4の実施例に従えば、未登録分岐命令の分岐期待値と登録対象となるエントリに格納された分岐期待値との大小関係に応じて、未登録分岐命令の登録を行なうように構成しているため、分岐バッファのエントリの内容の置換による分岐期待値の低下を防止することができ、応じて分岐予測ヒット率の低下を防止することができる。

【0191】【実施例5】図20は、この発明の第5の実施例の分岐期待値の構成を説明するための図である。複数ビット履歴方式の場合、その複数ビット履歴情報に従って分岐予測が行なわれる(従来の場合)。図20に示すように、2ビット履歴情報を用いる場合、4つの状態A、B、CおよびDを設定することができる。これらの状態A〜Dそれぞれに対し、分岐期待値BEXPを割り当てる。一例として、状態Aを分岐期待値(1, 1)に、状態Bを分岐期待値(1, 0)に、状態Cを期待値(0, 1)に対応させ、状態Dを期待値(0, 0)に対応させる。すなわち、履歴情報そのものを分岐期待値情報として利用する。この場合、分岐期待値は状態A>状態B>状態C>状態Dとなる。

【0192】未登録分岐命令によるTaken実行のときの分岐命令の登録は、先の実施例4と同様に行なわれる。この場合、分岐期待値のフィールドが新たに用いられる必要はない。すなわち、図21に示すように、エントリ3においてフィールド3aに有効ビットVが格納され、フィールド3bに分岐命令特定情報が格納され、フィールド3cに履歴情報が分岐期待値として格納され、フィールド3dに分岐先情報が格納される。この場合、フィールド3cの履歴情報が分岐期待値BEXPとして利用され、図18および図19に示す構成が利用されて、未登録分岐命令のTaken実行時における登録動作が行なわれる。

【0193】分岐予測時においては、有効ビットVの値にのみ従って分岐予測が行なわれてもよく、また従来と同様有効ビットVにより分岐命令の登録/未登録が識別され、登録分岐命令に対しては履歴情報に従って分岐予測が行なわれる構成が利用されてもよい。また更新動作においては、第1の実施例と同様履歴情報の更新および有効ビットVの更新が行なわれる。

【0194】以上のように、この第5の実施例に従えば、第4の実施例の構成と同様、分岐先バッファに格納される分岐命令の分岐期待値は、この置換前よりも低くなることはないため、未登録分岐命令の登録による分岐予測ヒット率の低下を防止することができる。

【0195】さらに、分岐先バッファのエントリに格納される分岐期待値は、その分岐命令の実行結果を反映し

ている(Not-Taken実行およびTaken実行により履歴情報が更新されるため、応じて分岐期待値も更新される)ため、コンパイル時において、静的に(予め固定的に)予測の難しい分岐命令に対しても動的にその分岐期待値が変更されるため、効果的な置換を行なうことが可能となる。

【0196】さらに、分岐先バッファのエントリに余分に分岐期待値を保持するためのフィールドが不要となり、分岐先バッファの規模の増大が防止される。

【0197】[実施例6]図22は、この発明の第6の実施例である命令処理装置における登録動作を説明するための図である。図22において、分岐命令コード10aに対し、分岐確率フラグalways-tが付される。この分岐確率フラグalways-tを格納するフィールドとしては、コンパイラにより、分岐命令コード10aとリンクして命令コード内のフィールド10c内に付される構成が利用されてもよい。また、先の第3の実施例の場合と同様、ハードウェアによりこの分岐確率フラグalways-tが生成される構成が利用されてもよい。

【0198】エントリ3は、有効ビットVを格納するフィールド3aと、分岐命令を特定する情報(命令番号)を格納するフィールド3bと、複数ビットの履歴情報を格納するフィールド3cと、分岐先情報(分岐先アドレス)を格納するフィールド3dを含む。登録初期値設定部100は、分岐命令の登録時(not-taken予測かつTaken実行のとき)、この分岐確率フラグalways-tを参照し、その値に従って登録すべき分岐命令の履歴情報の値を設定してフィールド3cへ格納する。

【0199】分岐確率フラグalways-tは、分岐命令の分岐確率が高い場合には、“1”に設定され、分岐確率の低い場合には“0”に設定される。

【0200】図23は、この履歴情報の初期設定の規則を一覧にして示す図である。図23においては、履歴情報は、2ビットを含み、図20に示す4つの状態A、B、CおよびDの状態のいずれかに設定される場合が一例として示される。登録動作について次に、図22および図23を参照して説明する。

【0201】分岐命令の登録は、not-taken予測かつTaken実行のときに行なわれる。分岐確率フラグalways-tが“1”のとき、すなわち分岐確率が高い場合には、その履歴情報の初期状態は図20に示す状態Aに設定される。分岐確率フラグalways-tが“0”にあり、この登録すべき分岐命令の分岐確率が低い場合には、その履歴情報の初期状態は、図20に示す状態Bに設定される。これ以外の状態においては分岐命令の登録は行なわれず、更新動作/履歴情報の更新が行なわれる。この履歴情報の更新動作は、従来の複数ビット履歴方式の分岐先バッファにおいて利用される

ものと同じ更新動作が行なわれてもよい。また、第1の実施例における場合と同様に、分岐予測と分岐実行結果に従ってその履歴情報の更新および有効ビットの更新が行なわれてもよい。

【0202】複数ビット履歴方式の分岐先バッファを用いる場合、履歴情報が図20に示す状態CおよびDを示す場合、not-taken予測となる。分岐命令の登録は、未登録分岐命令に対してのみ行なわれる。したがって、図22に示す登録初期値設定部100は、この分岐命令が登録されているか否かを識別する機能を備える。この登録識別機能では、選択されたエントリに含まれる有効ビットVの値が“1”の有効状態を示すときには、その分岐命令は登録されていると判別される。

【0203】図24は、この発明の第6の実施例に従う命令処理装置の分岐先バッファ書込部の構成を概略的に示す図である。図24において、分岐先バッファ書込部は、命令デコーダ(図示せず)からのオペランドデータおよび分岐先バッファ20から読出される分岐命令情報を受け、分岐命令を実行するとともに、分岐先バッファの対応のエントリから読出された分岐命令情報に従って分岐予測信号Pr、分岐実行結果指示信号Reおよび分岐確率フラグalways-tを出力するとともにこの分岐命令に対して与えられた命令フェッチアドレスPCAおよび分岐先情報BAを出力する分岐実行ユニット102と、分岐予測信号Pr、分岐実行結果指示信号Re、および分岐確率フラグalways-tの状態に従って分岐先バッファ20の対応のエントリへ書込を行なうか否か(登録/更新動作)を決定するBTB登録/更新決定機構104と、分岐予測信号Pr、分岐実行結果指示信号Reおよび分岐確率フラグalways-tに従って登録すべき分岐命令の履歴情報の初期値HIを設定して出力する予測初期状態選択回路106を含む。

【0204】分岐実行ユニット102は、分岐先バッファ20の対応のエントリから読出された分岐命令情報に含まれる有効ビットVおよび履歴情報に従って分岐予測信号Prを出力する。また、オペランドデータ(図示しない命令デコーダから与えられる)の処理を実行し、その分岐命令の実行により、分岐が発生したか否かを示す分岐実行結果指示信号Reを出力する。さらに、分岐実行ユニット102は、分岐命令情報から第2の実施例または第3の実施例に示す方法に従って確率分岐フラグalways-tを抽出して(または生成して)出力する。分岐実行ユニット102は、またこの分岐命令の命令フェッチアドレスPCAをラッチする機能を備え、分岐先バッファ20へ与える。分岐先バッファ20は、この命令フェッチアドレスPCAのうち一部をデコーダ21b(6)に受け、残りのアドレスを分岐命令特定情報として分岐先バッファの対応のエントリ内のフィールドに書込むように受ける。

【0205】BTB登録/更新決定機構104は、従来



の複数ビット履歴方式の構成と同様に登録/更新を決定するように構成されてもよい。また、先の実施例のように、分岐確率フラグ *always-t* が“1”のときには対応のエントリに含まれる履歴情報を分岐期待値として利用して、選択的にこの分岐命令の登録が行なわれる構成が利用されてもよい。この場合、分岐確率フラグ *always-t* が“0”の場合には、対応のエントリが空きエントリの場合にのみ、この分岐命令の登録が行なわれる。BTB登録/更新決定機構104は、*not-taken*予測/*Taken*実行の場合には、対応のエントリの履歴情報を増分し、*taken*予測/*Not-Taken*実行の場合には対応の履歴方法の減分を行なう。

【0206】予測初期状態選択回路106は、分岐予測信号 *Pr*、分岐実行結果指示信号 *Re* および分岐確率フラグ *always-t* を受け、図23に示す規則に従ってこの分岐命令の履歴情報の初期値 *HI* を決定して出力する。分岐先バッファ20への履歴情報の書込においては、BTB登録/更新決定機構104が登録と判定したときのみ、この予測初期状態選択回路106からの履歴情報の初期値 *HI* が対応のエントリの対応のフィールド内に書込まれる。BTB登録/更新決定機構104が、単に更新のみを行なうことを決定した場合には、この予測初期状態選択回路106からの履歴情報の初期値 *HI* の書込は行なわれず、BTB登録/更新決定機構104が決定した更新履歴情報が必要な情報とともに分岐先バッファ20の対応のエントリ内に書込まれる。なお、この図24に示す構成においてはBTB登録/更新決定機構104からは有効ビット *V* が出力されないように示されるが、このときまた登録時においては、対応のエントリ

の有効ビット *V* が登録を示す“1”の状態に設定される。

【0207】この第6の実施例の構成に従えば、以下の利点が得られる。分岐確率フラグ *always-t* が“0”の分岐確率の低い分岐命令が、たまたま *Not-Taken* 実行されて、分岐先バッファに登録される場合、その履歴情報の初期状態は、図20に示す状態Bとなる。この分岐命令の次の実行が、*Not-Taken* 実行であれば、この分岐命令はその状態が更新され、状態Cに移行し、その次の回の分岐予測は、*not-taken* 予測となる。したがって、この分岐命令について *taken* 予測となるのはこの分岐命令が登録された後に始めて実行されるときだけである。分岐確率が低い分岐命令が連続して2回 *Taken* 実行となる確率は極めて低く、したがってこの分岐命令についての分岐予測のミスヒットは1回となり、予測精度の低下が防止される。この構成により、たまたま *Taken* 実行された分岐確率の低い未登録分岐命令が登録されても、その分岐命令が次の予測がミスヒットとなるだけであり、分岐予測精度の低下を防止することができる。

【0208】なお、図23に示す登録規則に従えば、2ビットの履歴情報が想定されているが、この履歴情報のビット数はこれより多くても、同様に、この本発明の構成を適用することができる。

【0209】以上のように、この第6の実施例に従えば、分岐確率の低い分岐命令は *not-taken* 予測となりやすい状態に、また分岐確率の高い分岐命令は、*not-taken* 予測となりにくい状態にその予測の初期状態が設定されるため、極めて低い確率で生じる（通常の分岐方向とは）逆方向の分岐に起因する予測ミスの、分岐予測精度に及ぼす影響を大幅に抑制することができる。

【0210】〔実施例7〕図25は、本発明の第7の実施例である命令処理装置の分岐命令の登録/更新動作を制御する部分の構成を概略的に示す図である。この図25に示す構成においては、分岐先バッファ20に含まれる分岐先バッファレジスタ21aのエントリ3には、有効ビット *V* を格納するフィールド3aと、分岐命令特定情報を格納するフィールド3bと、分岐先情報を格納するフィールド3dのみが設けられる。この分岐先バッファ20と独立に、その書込/読出動作を制御することのできる分岐履歴カウンタ (BHC) 120が設けられる。この分岐履歴カウンタ120は、分岐先バッファ20のエントリ3にそれぞれ対応して設けられるエントリ122を含む。この分岐履歴バッファ120のエントリ122は、分岐先バッファ20の対応のエントリ3に格納される分岐命令についての履歴情報のみが格納される。この分岐先バッファ20に含まれるデコーダ21bおよび分岐履歴バッファ120に含まれるデコーダ121bに対しては、分岐命令実行ユニット102から同じアドレス（分岐命令に対する命令フェッチアドレスの一部）が与えられる。

【0211】分岐命令実行ユニット102は、図示しない読出経路により分岐先バッファ20から読出された分岐命令情報と図示しない命令デコーダから与えられるオペランドデータとを受け、そのオペランドデータに従って分岐命令を実行し、分岐命令情報に含まれる有効ビット *V* に従って分岐予測信号 *Pr* を出力し、またその分岐命令の実行結果に従って分岐実行結果指示信号 *Re* を出力し、かつさらにこの分岐命令に対応するプログラムカウンタから発生された命令フェッチアドレス *PCA* を出力する。分岐命令実行ユニット102からの命令フェッチアドレス *PCA* は、この分岐先バッファ20および分岐履歴バッファ120への情報の書込を行なうときのみ発生される。分岐先バッファ20からの読出時においては、プログラムカウンタ（図示せず）からの命令フェッチアドレスが分岐先バッファ20へ与えられる。

【0212】登録更新制御ユニット130は、分岐命令実行ユニット102からの分岐予測信号 *Pr* および分岐実行結果指示信号 *Re* と、分岐履歴バッファ120から

読出された履歴情報値BHCVを受け、分岐先バッファ20に対しては分岐先バッファ 込イネーブル信号BTB-weおよび有効ビットVを出力し、分岐履歴バッファ120に対しては分岐履歴カウンタ書込イネーブル信号BHC-we、分岐履歴カウンタ読出イネーブル信号BHC-reおよびこの分岐履歴カウンタ120に対する動作演算内容を示す演算指示信号(データ)OPRを出力する。分岐履歴カウンタ120の構成については後に説明するが、エントリ122は、多ビットアップ/ダウンカウンタでたとえば構成されており、履歴情報(カウント値)を読出すことなく外部からの信号OPRに従ってそのカウント値のインクリメント/デクリメントおよびセット/リセットを行なうことができる。分岐先バッファ20の構成は、先の実施例において説明したものと同様であり、書込および読出しずれも行なうことのできるレジスタの構成を備える。分岐先バッファ20のエントリ3に格納される分岐命令関連情報に対応して、分岐履歴カウンタ120においては、対応のエントリ122において対応の分岐命令の履歴情報が格納される。次に動作について簡単に説明する。

【0213】命令フェッチ時においては、まず図示しないプログラムカウンタからの命令フェッチアドレスに従って分岐先バッファ20から対応のエントリの内容が読出される。この読出されたエントリの内容は、図示しない命令デコーダからのオペランドデータとともに分岐命令実行ユニット102へ与えられる。分岐命令実行ユニットは、この読出されたエントリ3の内容に含まれる有効ビットVの値に従って分岐予測を行ない、その予想結果に従って分岐予測信号Prを“1”または“0”に設定する。有効ビットVが“1”のときには、分岐予測信号Prはtaken予測を示す状態に設定され、有効ビットVが無効状態を示す“0”のときには、分岐予測信号Prはnot-taken予測を示す状態に設定される。分岐命令実行ユニット102は、また与えられた分岐命令を実行し、その実行結果に従って分岐の発生の有無を示す信号Reを出力する。分岐命令実行ユニット102は、またこの分岐命令の特定情報すなわち命令フェッチアドレスPCAとともに分岐先アドレスを分岐先バッファ20へ伝達する。

【0214】登録更新制御ユニット130は、分岐命令実行ユニット102からの分岐予測信号Prおよび分岐実行結果指示信号Reに従って分岐先バッファ20および分岐履歴カウンタ120に対して行なうべき動作を判別し、その判別結果に従って各種制御信号を出力する。登録更新制御ユニット130により行なわれる動作については後に詳細に説明するが、ここでは簡単に、以下の動作が行われることを述べる。

【0215】分岐予測ヒット時およびnot-taken予測/Taken実行の予測ミスヒット時においては、分岐履歴カウンタ120の対応のエントリ122に

対しその履歴情報の更新が行なわれる。ただし、not-taken予測/Not-Taken実行の場合、未登録分岐命令または非分岐命令により分岐が発生していないため、分岐先バッファおよび分岐履歴カウンタ120の対応のエントリの更新は行なわれない。

【0216】taken予測/Not-Taken実行の分岐予測ミスヒット時においては、まず分岐履歴カウンタ120から対応のエントリ122の履歴情報を読出し、その値BHCVに基づいてその分岐命令の次の予測を決定する。その決定された予測が、not-taken予測の場合には、分岐先バッファ20において対応のエントリの有効ビットVを“0”とし、その分岐命令を未登録状態に設定する。

【0217】上述の動作方法に従えば、分岐先バッファ20は、主として情報読出が行なわれるだけである。分岐先バッファ20において対応のエントリの内容の書替えが行なわれるのは、未登録分岐命令の登録時および登録分岐命令の未登録動作時である。いずれも場合も分岐予測ミスヒット時であり、その発生回数は極わずかである。したがって、分岐先バッファにおいて全サイクルにおいて情報読出と情報書込を行なう必要がなく、低速動作する回路を用いて分岐先バッファを構築することができる。

【0218】一方、分岐履歴カウンタ120は、分岐命令が実行されたときに情報の書込が行なわれる。情報の読出が分岐履歴カウンタ120において行なわれるのは、taken予測/Not-Taken実行の分岐予測ミスヒット時においてのみである。したがって分岐履歴バッファにおいても基本的には1つのサイクルにおいてデータ書込動作のみが行なわれ、情報読出動作と情報書込動作が各サイクルにおいて行なわれる回数が極めて少なく、容易に分岐履歴カウンタを構築することができる。

【0219】すなわち、分岐先バッファ20は、基本的には分岐予測のために情報読出動作が行なわれ、一方、分岐履歴カウンタ120は、分岐命令の履歴情報更新のために書込が行なわれる。分岐予測時には、分岐先バッファのエントリに分岐命令が登録されている場合(有効ビットVが“1”のとき)においては、taken予測が行なわれ、そうでない場合にはnot-taken予測が行なわれる。この場合には何ら履歴情報は参照されない。したがって、このときには分岐履歴カウンタ120に対する情報読出動作は何ら必要とされない。分岐履歴カウンタ120は、分岐命令の実行結果が、Taken実行の場合には、その対応のエントリの履歴情報が値BHCVがインクリメントされNot-Taken実行の場合には、履歴情報値BHCVのデクリメントが行なわれる。これは単に分岐履歴カウンタ120に対する書込動作が行なわれるだけである。

【0220】taken予測/Not-Taken実行

の場合においてのみ分岐履歴カウンタ120から対応の履歴情報が読出され、その値BHCVに従って次の予測が決定される。その場合には、履歴情報を参照して次の分岐予測を行なっているため、従来の複数ビットの履歴方式と同じ精度の分岐予測を行なうことができる。この次の分岐予測が、not-taken予測の場合には、対応の分岐命令が分岐先バッファ20において無効化される（有効ビットVを“0”とする）。

【0221】すなわち、この第7の実施例の構成に従えば、分岐先バッファ20に対しては通常読出動作のみが行なわれ、taken予測/Not-Taken実行の予測ミスヒット時においてのみおよびnot-taken予測/Taken実行のときに分岐先バッファ20に対する情報書込動作が行なわれる。一方、分岐履歴カウンタ120は、通常は情報の書込のみが行なわれ（履歴情報の更新のみ）、taken予測/Not-Taken実行の予測ミスヒット時においてのみその履歴情報の読出が行なわれる。したがって、分岐先バッファ20および分岐履歴カウンタ120は、それぞれ、通常は、1サイクルにおいては書込動作か読出動作のいずれかのみが行なわれるため、従来の複数ビット履歴方式の問題点である1つのサイクルにおいて読出および書込を同時に行なうという要求が解消され、分岐先バッファおよび分岐履歴カウンタいずれをも容易に構築することができるとともに、従来の複数ビット履歴方式に近い予測ヒット率を実現することができる。

【0222】図26は、図25に示す登録更新制御ユニット130のより詳細な構成を示す図である。図26において、登録更新制御ユニット130は、図25に示す分岐命令実行ユニット102からの分岐予測信号Prと分岐命令実行結果指示信号Reとに従って分岐履歴カウンタ120に対する動作を制御するBHC登録/更新決定部140と、このBHC登録/更新決定部140の出力する登録無効検出信号VCTLと分岐予測信号Prと分岐命令実行結果指示信号Reとに従って分岐先バッファ20に対する書込動作を判別し、その判別結果に従って分岐先バッファ20に対する書込動作を行なうBTB登録/更新決定部150を含む。BTB登録/更新決定部150から分岐先バッファ書込イネーブル信号BTB-weおよび有効ビットVが出力される。残りの分岐命令特定情報および分岐先情報（分岐先アドレス）は図25に示す分岐命令実行ユニット102から分岐先バッファへ与えられる。

【0223】BHC登録/更新決定部140は、分岐予測信号Prと分岐命令実行結果指示信号Reとに従って、予測のミス/ヒットおよびその種類を識別し、その識別結果を示す信号を出力する予測結果識別部142と、予測結果識別部142の出力信号と後に説明する登録無効検出部148からの登録無効検出信号VCTLに従って分岐履歴カウンタの動作を制御するための信号B

HC-we、BHC-reおよびOPRならびにφACTを出力する動作決定実行部144と、動作決定実行部144からの活性化信号φACTにตอบสนองして活性化され、分岐履歴カウンタから読出された履歴情報値BHCVに従って次の分岐予測値を出力する予測値算出部146と、この予測値算出部146からの算出された次の分岐予測値に従ってその分岐命令の登録を無効にすべきか否かを識別し、その識別結果に従って信号VCTLを出力する登録無効検出部148を含む。

10 【0224】予測結果識別部142は、分岐予測信号Prのtaken予測およびnot-taken予測指示状態と分岐命令実行結果指示信号ReのTaken実行およびNot-Taken実行の指示状態の各組合せに従って、いずれの状態が生じたかを識別する。

【0225】動作決定実行部144は、この予測結果識別部142の出力信号に従って分岐履歴カウンタの履歴情報の更新（インクリメント/デクリメント）および初期設定を実行する。この動作決定実行部144は、登録無効検出部148からの信号VCTLが登録無効を示すときには対応のエントリの履歴情報を初期値（“0”）に初期設定する。

【0226】予測値算出部146は、taken予測/Not-Taken実行の場合に、動作決定実行部144の制御の下に分岐履歴カウンタから読出された履歴情報値BHCVを受け、次の分岐予測値を決定する。このtaken予測/Not-Taken実行は分岐予測ミスヒットであり、履歴情報値BHCVは1デクリメントされる。このデクリメントされた履歴情報値BHCVに対応する状態がnot-taken予測に対応するとき、登録無効検出部148は、登録無効を示す信号VCTLを出力する。すなわち、登録無効検出部148は、この予測値算出部146により算出された履歴情報値に従って次の予測を行ない、次の分岐予測がnot-taken予測となる場合には、その出力信号VCTLを登録無効を示す状態に設定する。BTB登録/更新決定部150はこの登録無効指示信号VCTLにตอบสนองして対応のエントリの有効ビットVを無効状態の“0”に設定する。動作決定実行部144は、この登録無効指示信号VCTLに従って、対応のエントリの履歴情報をリセットする。このリセット動作は特に行なわれなくてもよい（分岐先バッファにおいて対応のエントリは無効状態に設定されており、この履歴情報は利用されないためである）。

【0227】図27は、このBHC登録/更新決定機構およびBTB登録/更新決定部の動作の論理を一覧にして示す図である。図27においては、履歴情報値BHCVの初期値は最小値“0”に設定されまたこの状態はnot-taken予測の状態に対応すると仮定される。また、分岐履歴カウンタからの履歴情報値読出には1サイクル必要とされることが仮定される。また、分岐命令

実行結果指示信号Reは、サイクルnの直前にすなわちサイクル(n-1)の終了時に確定するものとする。まず、簡単に論理について説明し、次に具体例について詳細に説明する。

【0228】(i) not-taken予測/Not-Taken実行のとき：この状態は、未登録分岐命令による分岐非発生であり、分岐先バッファおよび分岐履歴カウンタいずれに対しても書込は行なわれない。ただし、分岐履歴カウンタにおいては、サイクル(n+1)において実行される動作は、次の命令が分岐命令であるか否かにより決定されるため、未定である。

【0229】(ii) not-taken予測/Taken実行のとき：このときには、未登録分岐命令により分岐が発生しているため、この分岐命令の登録が行なわれる。すなわち、サイクルnにおいて分岐先バッファに対し有効ビットVを有効状態の“1”に設定する動作が行なわれる。同様、分岐履歴カウンタにおいても、サイクルnにおいて対応のエントリの初期設定が行なわれる。分岐履歴カウンタのサイクル(n+1)における動作は、次の命令に従って決定されるため、未定である。

【0230】(iii) taken予測/Not-Taken実行のとき：登録分岐命令による分岐非発生であり、予測ミスヒットである。まず、サイクルnにおいて分岐履歴カウンタの履歴情報の読出が行なわれる。その履歴情報値BHCVの値に従って、行なわれる動作が異なる。

【0231】(a) BHCV=0：この場合、予測ミスヒットであり、履歴情報値BHCVをデクリメントした場合、負の値となり、次回予測がnot-taken予測となる。したがって、サイクル(n+1)においてこの分岐命令の登録無効化動作が行なわれる。すなわち、サイクル(n+1)において対応のエントリの有効ビットVが“0”に設定される。このときまた分岐履歴カウンタにおいても対応の履歴情報値が初期値“0”に設定される。この動作は特に行なわれなくてもよい。ここで、図27において、not-taken予測/Not-Taken実行のときの次回予測がtaken予測であり、一方、taken予測/Not-Taken実行のときの次回予測がnot-taken予測となるのは以下の理由による。すなわち、初期値“0”のときには次回予測はtaken予測であり、一方、初期値“0”から1デクリメントされた状態では、not-taken予測となるためである(予測ミスヒット時には履歴情報値BHCVはデクリメントされる)。

【0232】(b) BHCV≥1のとき：この状態においては、分岐履歴カウンタの対応のエントリから読出された履歴情報値BHCVをその予測ミスヒットにより1デクリメントしても、その値は0以上であり、したがって次回予測はtaken予測となる。この状態においては単にサイクル(n+1)において分岐履歴カウンタ

の対応のエントリの履歴情報値のデクリメントのみが行なわれる。

【0233】(iv) taken予測/Taken実行のとき：この状態は、分岐予測ヒットであり、分岐先バッファに対しては書込動作は何ら行なわれない。分岐履歴カウンタにおいて対応のエントリの履歴情報値がサイクルnにおいて1インクリメントされる。

【0234】上述のように、分岐履歴カウンタにおいて読出が行なわれるのはtaken予測/Not-Taken実行のときのみである。分岐先バッファに対し書込が行なわれるのは、not-taken予測/Taken実行の場合と、taken予測/Not-Taken実行かつ次回予測がnot-taken予測の場合である。

【0235】図28は、分岐履歴カウンタの構成の一例を示す図である。図28において分岐履歴カウンタのエントリ122それぞれに対応して2ビットアップダウンカウンタ160が設けられる。ここでは単に一例として2ビットのアップダウンカウンタを示すが、より多くのビット数を備えるアップダウンカウンタが利用されてもよい。この2ビットアップダウンカウンタ160は、アップ/ダウン指示信号入力U/Dとセット/リセット入力S/Rと、2ビット出力Q1およびQ2を含む。アップ/ダウン入力U/Dおよびセット/リセット入力S/Rはゲート162および内部バス163aを介して書込回路168に接続される。ゲート162は、図25に示すデコーダ121bからの選択信号SELにตอบสนองして導通状態とされる。2ビット出力Q1およびQ2には、ゲート164および内部データバス163bを介して読出回路166に接続される。ゲート164も、デコーダの出力信号SELにตอบสนองして導通状態とされる。読出回路166は、分岐履歴カウンタ読出イネーブル信号BHCreにตอบสนองして活性化され、内部バス163b上の信号を増幅して履歴情報値BHCVを出力する。書込回路168は、分岐履歴カウンタ書込イネーブル信号BHCreweにตอบสนองして活性化され、オペレーション信号OPRに従って動作制御信号を生成して、選択されたエントリに対応するアップダウンカウンタの入力U/DおよびS/Rへ伝達する。

【0236】この図28に示す構成に従えば、2ビットアップダウンカウンタ160のカウント値Q1およびQ2を通常時においては何ら読出す必要がなく、分岐履歴カウンタの更新すなわち書込動作のみを行なうことができる。

【0237】図29は、分岐履歴カウンタの他の構成を示す図である。図29において分岐履歴カウンタ120は、各エントリそれぞれに対応して設けられるレジスタステージを含むレジスタ回路121aと、各サイクルごとに、このレジスタ回路121aの対応のレジスタステージの内容を読出しラッチするラッチ回路170と、外

部から与えられる操作指示信号OPRに従ってこのラッチ回路170に格納されたデータに所定の指定された演算を行なって再びラッチ回路170へ格納する演算回路172と、分岐履歴カウンタ読出イネーブル信号BHC-reに应答して活性化され、ラッチ回路170に格納された分岐履歴情報を出力する出力回路174を含む。この図29に示す分岐履歴カウンタの構成の場合、すべて履歴情報の更新動作が内部で処理され、データは外部へ読出されない。したがって、各サイクルにおいて情報の読出/書込が行なわれるだけであり、各サイクルごとに出力回路174を動作させる必要がなく、高速で履歴情報の更新/登録を行なうことができる。

【0238】図30は、分岐履歴カウンタのさらに他の構成を示す図である。図30に示す構成においては、分岐履歴カウンタ120は、各エントリそれぞれに対応して設けられるレジスタステージを含み、この分岐履歴カウンタ120の外部に演算回路180が設けられる。演算回路180へは、操作指示信号OPRが与えられ、分岐履歴カウンタから読出されたデータ（履歴情報）に対し指定された演算処理が施された後、再び分岐履歴カウンタ120の対応のエントリ（レジスタ）へ格納される。この分岐履歴カウンタ120のデータ読出は分岐命令が与えられたことを示す分岐命令検出信号Brの活性化時にのみ行なわれる。通常動作時にはこの分岐履歴カウンタ120のアクセスは行なわれない。すなわち、履歴情報をアクセスする必要があるのは分岐命令が与えられたときのみである。したがって分岐命令検出信号Brが与えられたときに分岐履歴カウンタ120から対応のエントリの内容を読出し、演算回路180へ与える。分岐命令が検出されてからこの分岐命令が実行されて、その実行結果に従って信号BHC-weおよびOPRの状態が決定される。したがって情報読出サイクルと履歴情報書込サイクルを別々のサイクルで実行することができ、何ら高速動作は要求されず、十分余裕を持って履歴情報に対し所望の処理を行なうことができる。

【0239】この図28ないし図30に示す分岐履歴カウンタのいずれの構成が利用されてもよいが、以下の説明においては、分岐履歴カウンタの書込サイクルを強調するために、書込のみが行なわれる図28の構成を利用するものと想定する。以下の詳細な動作説明において、図29および図30に示す構成の分岐履歴カウンタが用いられても同様の動作を実現することができる。次に、具体的処理動作について図31～36を参照して詳細に説明する。

【0240】(i) 分岐予測ヒット時(taken予測/Taken実行)(図31参照)：図31に示すサイクル(n-3)において、命令フェッチステージICが実行される。すなわち、命令フェッチアドレスがプログラムカウンタから命令メモリへ与えられ、命令aが命令メモリから読出される。この命令aの読出と平行して、

分岐先バッファ(BTB)の対応のエントリの内容が読出され、分岐予測(taken予測)が行なわれる。

【0241】サイクル(n-2)においてこの命令aのデコードが行なわれ(命令デコードステージD)、この命令aが分岐命令であることが識別される。サイクル(n-2)において、また次の命令bが命令メモリから読出され、またそれと平行して分岐先バッファ(BTB)から対応のエントリの内容が読出され、分岐予測が行なわれる。

10 【0242】サイクル(n-1)において、命令aは、分岐命令であり、分岐命令実行ステージ(B)へこの命令aが投入され、命令aが実行される。命令bは、デコードステージDにおいてその命令がデコードされる。このときまたさらに次の命令cが命令フェッチステージICに入り、命令メモリから命令cが読出され、これと平行して分岐先バッファ(BTB)から対応のエントリの内容が読出される。

20 【0243】サイクル(n-1)の終了時において分岐命令実行ステージBにおいて分岐発生が検出され、サイクルnにおいて分岐履歴カウンタ(BHC)の対応のエントリの履歴情報の更新(インクリメント)が行なわれる。またこのとき、命令bは、そのデコード結果に従って命令実行ステージへ投入され、また命令cはデコードステージに投入され、さらに次に命令dが命令フェッチステージICに入るとともにこの分岐先バッファ(BTB)からの対応のエントリの内容の読出が行なわれる。

30 【0244】図31に示すように、サイクルnにおいて分岐履歴カウンタ(BHC)の更新と分岐先バッファ(BTB)の内容の読出が平行して行なわれる。履歴情報更新のためにパイプラインを止める必要がなく、サイクルペナルティは生じず、また各サイクルごとに分岐予測を行なうことができる(分岐予測時には、分岐先バッファに格納された有効ビットVの値に従って分岐予測が行なわれ、履歴情報は参照されないためである)。

40 【0245】(ii) not-taken予測/Taken実行(図32参照)：まず、サイクル(n-3)において、命令aのフェッチおよび分岐先バッファからの有効ビットVの読出が行われる(ICおよびBTBリード)。命令aについては、not-taken予測が行なわれる。

【0246】サイクル(n-2)において、命令aがデコードステージDへ投入され、命令aのデコードが行なわれる。このとき、分岐予測に従って、命令aに続く命令bに対するフェッチおよび分岐先バッファからの読出が行なわれる(ICおよびBTBリード)。

50 【0247】サイクル(n-1)において、命令aが分岐命令であることが識別され、その分岐命令の実行が行なわれる(分岐命令実行ステージB)。このとき、命令bがデコードステージDへ投入され、また命令cが命令

メモリからフェッチされ、また対応の分岐先バッファのエントリからの読出が行なわれ分岐予測が行なわれる(ICおよびBTBリード)。

【0248】サイクル(n-1)において、実行された命令aにより分岐が発生したと判別されると、分岐予測ミスヒットであり、命令bおよびcは実行してはけない命令であり、無効化される(スカッシュされる)。サイクルnにおいては、この分岐予測ミスヒットに従って、まず命令aの分岐先バッファ(BTB)への登録が行なわれる(分岐命令特定情報、分岐先アドレスおよび有効ビットの書込)。これと平行して分岐履歴カウンタ(BHC)においても対応のエントリに履歴情報の初期値が格納される。このサイクルnにおいては、分岐先バッファ(BTB)の読出は行なわれないため次の命令はフェッチすることができず、1サイクルのペナルティが生じる。

【0249】サイクル(n+1)において、命令aに含まれる分岐先アドレスに従って次の命令dがフェッチされ、また対応のエントリが分岐先バッファから読出される(ICおよびBTBリード)。

【0250】(iii) taken予測/Not-Taken実行でありかつ次回予測がnot-taken予測のとき(図33参照): サイクル(n-3)において、命令aが命令メモリからフェッチされ(ICステージ)、また分岐先バッファから対応のエントリの有効ビットが読出され、その有効ビットに従って分岐予測が行なわれる(BTBリード)。今、taken予測であり、分岐先バッファから読出された分岐先アドレスに従って次の命令フェッチアドレスが設定される。

【0251】サイクル(n-2)において、分岐先アドレスに格納された命令bが命令メモリから読出され(ICステージ)、またそれと平行して分岐先バッファから対応のエントリの内容が読出される(BTBリード)。

【0252】サイクル(n-2)でデコードされた分岐命令aがサイクル(n-1)において実行され(Bステージ)、Not-Taken実行であると判別されると、デコードステージ(D)において命令bおよびcがそれぞれ無効化される。このとき、サイクルnにおいて、分岐非発生に従って命令aのフォールスルー(fall-through)命令(命令コード上で分岐命令aの次に位置する命令)のアドレスがプログラムカウンタに設定され、対応の命令dの読出および分岐先バッファの対応のエントリの読出が行なわれる。このサイクルnにおいて、分岐履歴カウンタから対応のエントリに格納された履歴情報が読出される(BHCリード)。この読出された履歴情報に従って命令aの次の分岐予測を決定する(図27参照)。

【0253】サイクル(n+1)において、次回予測がnot-taken予測と決定されたときには、分岐先バッファにおいて有効ビットが無効状態に設定され(B

TB更新)、また分岐履歴カウンタにおいても履歴情報のリセットが行なわれる。このリセット動作は特に行なわれなくてもよい。このサイクル(n+1)においては分岐先バッファに対する書込(分岐命令の無効化)が行なわれており、命令フェッチは行なわれず、1サイクルのペナルティが生じる。

【0254】サイクル(n+2)において、命令eに対しフェッチおよびBTBリードが行なわれる。

【0255】(iv) taken予測/Not-Taken実行でありかつ次回予測がtaken予測のとき(図34参照): サイクルnまでは、図33に示す動作と同じ動作が行なわれる。分岐履歴カウンタから読出された履歴情報に従って決定された次の予測は、taken予測であり、分岐先バッファへの書込は行なわれない。したがって、サイクル(n+1)においては分岐履歴カウンタの履歴情報の更新のための書込動作のみが行なわれ(BHCライト)、命令dに続く命令eが命令メモリから読出されかつ対応の分岐先バッファのエントリの内容の読出が行なわれる(ICおよびBTBリード)。この場合においては、サイクル(n+1)においては、分岐先バッファの内容の更新は行なわれないため、サイクル(n+1)において分岐先バッファに対し読出を行なうことができる。

【0256】上述の一連の動作から明らかなように、ある分岐命令に対して分岐履歴カウンタが使用されるサイクルとしては、その分岐命令が実行されたサイクルの次の1サイクルが基本的には割当られる。しかしながら、taken予測/Not-Taken実行の場合には、分岐命令aは、分岐履歴カウンタの読出および書込のために2サイクルを使用する。分岐命令aに割当られている分岐履歴カウンタを使用するサイクルはサイクルnであり、その次のサイクル(n+1)をも分岐命令aが分岐履歴カウンタを使用することは、本来この分岐履歴カウンタを使用するはずの命令bと分岐履歴カウンタの使用において競合が生じさせると考えられる。しかしながら、このような状況が生じる場合は、分岐命令aの予測ミス時であり、命令bは無効化され、サイクル(n+1)において分岐履歴カウンタを使用することはない。したがって、分岐履歴カウンタのアクセスに競合は生じないことになる。

【0257】[パイプライン構成が異なる場合] 図35は、taken予測/Not-Taken実行時における分岐履歴カウンタおよび分岐先バッファの動作を示す図である。この図35に示すタイミングチャートにおいては、分岐命令aの次回予測が、not-taken予測の場合である状態が示される。この図35に示す構成においては、先に示した図33の場合と異なり、命令デコードステージ(Dステージ)および分岐命令実行ステージ(Bステージ)が1サイクルで実行される。このパイプライン構成が異なる場合においても、命令aの予測

ミスがサイクル(n-1)の終了時に決定した場合、次の命令bが無効化され、サイクルnにおいて命令cのフェッチおよび分岐先バッファからの情報の読出が行なわれる(ICおよびBTBリード)。サイクルnにおいては、分岐履歴カウンタの対応のエントリに格納された履歴情報の読出が行なわれ、サイクル(n+1)において、分岐履歴カウンタの内容の更新(リセット)および分岐先バッファへの書込(無効化)が行なわれる。この場合においては、サイクル(n+1)において分岐先バッファへの読出を行なうことができず、1サイクルのペナルティが生じる。パイプラインの構成が異なる場合においても、taken予測/Not-Taken実行時において次回予測がnot-taken予測の場合にのみ1サイクルのペナルティが生じるだけであり、このような状態の発生する確率は小さく、応じて全体としてサイクルペナルティが生じる可能性は小さく、処理性能の低下は抑制される。

【0258】図36は、分岐先バッファ更新と命令フェッチ動作とを同時に行なう場合の分岐先バッファおよび分岐履歴カウンタの動作を示すタイミングチャート図である。図36においては、taken予測/Not-Taken実行時でありかつ次回予測がnot-taken予測の場合の動作が示される。また、命令のデコードステージ(Dステージ)および分岐命令実行ステージBはそれぞれ1サイクル必要とする。この動作は、実質的に図33に示す動作と同じである。サイクル(+1)においては、分岐先バッファの更新動作と平行して命令eのフェッチ動作が行なわれる。このとき、分岐先バッファからの読出は行なわれないため、分岐予測は実行されない。しかしながら、命令eのフェッチ動作は行なわれており、分岐先バッファの読出のために1サイクル空き期間を設ける必要がなく、1サイクル・ペナルティの発生が防止される。

【0259】以上のように、この発明の第7の実施例の構成に従えば、分岐先バッファと別に独立に制御可能な分岐履歴カウンタを設けたため、分岐先バッファおよび分岐履歴カウンタは、いずれも全体として1サイクルに読出動作および書込動作のいずれかを行なうだけでよい。これらの実現が容易であり、また分岐予測は、複数ビットの履歴情報を参照しているため、従来の複数ビット履歴方式に近い予測ヒット率を実現することができる。

【0260】[実施例8] 図37は、この発明の第8の実施例である命令処理装置の要部の構成を示す図である。図37においては、図26に示す登録無効検出部148および動作決定実行部144の構成が代表的に示される。図37において、登録無効検出部148は、分岐命令実行ユニット102(図25参照)から与えられるオペランドを受け、その分岐命令が後方分岐命令であるか前方分岐命令であるかを識別し、その分岐命令の種類

に従って分岐確率フラグalways-tの値を設定する分岐確率判別部190と、この分岐確率フラグalways-tに従ってしきい値を設定するしきい値設定回路192と、しきい値設定回路192の出力するしきい値THと図26に示す予測値算出部146からの更新された履歴情報値BHCVaとを比較する比較回路194を含む。

【0261】分岐確率判別部190は、与えられたオペランドが後方分岐命令のような分岐確率の高い分岐命令を示すときには分岐確率フラグalways-tを“1”に設定し、与えられた分岐命令が前方分岐命令のようなそれ以外の分岐命令の場合には分岐確率フラグalways-tを“0”に設定する。この分岐確率判別部190には、オペランドの即値の正/負に従って分岐確率フラグalways-tの値を決定する構成が利用されてもよい。しきい値設定回路192は、分岐確率フラグalways-tが“1”にあり分岐の確率の高いことを示すときには、高いしきい値を選択し、分岐確率フラグalways-tが“0”のときには、低いしきい値を選択する。比較回路194は、この算出回路146からの履歴情報値BHCVaがしきい値TH以上のときには、その登録無効検出信号VCLTを“0”とし、履歴情報値BHCVaがしきい値THよりも小さいときには、その出力信号VCTLを“1”とし、登録無効を示す状態に設定する。

【0262】動作決定実行部144に含まれる初期設定回路196は、分岐確率フラグalways-tと分岐予測信号Prと分岐命令実行結果指示信号Reに従って登録すべき分岐命令の初期状態を設定する。すなわち、この初期設定回路196は、not-taken予測/Taken実行のとき、その分岐確率フラグalways-tに従って履歴情報の初期状態を選択して分岐履歴カウンタの対応のエントリへ書込む。この初期設定回路196からの出力信号OPRは、図28に示すような各エントリがアップダウンカウンタで構成される場合、セット信号により最大カウント値が設定され、リセット入力により最小カウントにセットされる構成が利用されてもよい。また、図29および図30に示すように、分岐履歴カウンタの各エントリがレジスタで構成される場合には、初期設定回路196がその初期履歴情報値を設定して、その設定された値を対応のエントリのレジスタに書込む構成が利用されてもよい。

【0263】図38は、しきい値設定回路192の設定するしきい値THと登録される分岐命令の履歴情報の初期状態の対応関係を示す図である。図38においては、履歴情報は2ビットで表現され、各分岐命令は4つの状態A~Dのいずれかを取る状態が一例として示される。分岐確率フラグalways-tが“1”の場合には、図38(a)に示すように、しきい値THは“0”に設定され、このときまた履歴情報の初期状態は状態Dに設

定される。ここで各状態に対応して履歴情報の値を10進数で示している。この初期状態において、次に分岐命令が実行されるときには、taken予測となる。そのとき分岐が発生しない場合には、履歴情報は初期状態の0からデクリメントされ負の値となり、登録無効検出信号VCTLが登録無効を示す状態に設定され、この分岐命令は分岐先バッファの登録が無効にされる。しかしながら、分岐確率フラグalways-tが“1”の場合には、その分岐発生確率は高く、この状態が生じる可能性が小さく、通常この分岐命令は連続して複数回繰返し分岐を発生させるため、状態C、B、およびAへと移行するため、taken予測が実行され、分岐予測精度が改善される。

【0264】分岐確率の低い分岐命令に対しては分岐確率フラグalways-tは“0”に設定され、そのときしきい値THは3に設定される。また、この新たに登録された分岐命令の履歴情報の初期状態は状態A(3)に設定される。この分岐確率の低い分岐命令の場合、次の予測はtaken予測となるが、Not-Taken実行となる確率が高い。そのときの次回予測は、履歴情報が状態Bであり、not-taken予測となる。この場合には、比較回路からの登録無効検出信号VCTLが登録無効を示す状態に設定され、この分岐命令は分岐先バッファの登録から外される。したがって分岐確率の低い分岐命令がたまたま発生した分岐により登録されても、このような分岐命令は即座に分岐先バッファの登録から外されるため、分岐予測精度の低下が防止される。

【0265】以上のように、この第8の実施例に従えば、分岐命令の分岐確率を反映したしきい値に従って次の分岐予測を行なうことにより、偶発的な分岐方向の変更による分岐確率の低い分岐命令の登録および分岐確率の高い分岐命令の無効化が生じる可能性を低減することができ、予測ヒット率の低下を抑制することができる。

【0266】【実施例9】図39は、この発明の第9の実施例に従う分岐予測機構の構成および動作を概略的に説明するための図である。図39(a)に示すように、この第11の実施例においては、分岐命令コード10aに対しさらに予測しきい値を格納するフィールド10fを設ける。このフィールド10f内には、コンパイラにより、分岐命令の分岐確率に従って予測しきい値が設定される。この予測しきい値としては、コンパイラがほとんど分岐が発生すると判断する分岐命令に対しては、always-tのフラグが付され、しばしば分岐するとコンパイラが判断した分岐命令に対しては、フラグlocally-tが付され、分岐方向が頻繁に変わると判断した分岐命令に対しては、フラグlikely-nが付され、ほとんど分岐が発生しないとコンパイラが判断した分岐命令に対しては、フラグalways-nが付さ

れる。分岐命令の分岐確率の高低は、たとえば前述のリー一の文献に例示されている。

【0267】この図39(a)に示す予測しきい値を有するフィールド10fが図37に示す分岐確率判別部190へ与えられる。この場合には、分岐命令の種別を示すオペランドは分岐確率判別部190へ与える必要はない。分岐確率判別部190からは、この予測しきい値フィールド10fに格納された予測しきい値を示す信号が生成され、図37に示すしきい値設定回路192へ与えられる。このとき、単にしきい値設定回路192へ直接このフィールド10fの予測しきい値データが与えられる構成が利用されてもよい。しきい値設定回路192は、この予測しきい値に従ってしきい値THを設定して比較回路194へ与える。初期設定回路196は、分岐命令登録動作時においてその分岐命令の履歴情報の初期状態を予測しきい値に従って決定し、その決定された初期状態を分岐履歴カウンタに書き込む。次回予測は、対応のしきい値と履歴情報とに従って行なわれる。次に、このしきい値THと履歴情報の初期状態について2ビット履歴情報が用いられ、分岐命令が4つの状態を取る場合を一例として説明する。

【0268】図39(b)に示すように、ほとんど常に分岐が発生する分岐命令に対してはフラグalways-tがフィールド10fに設定される。この場合、しきい値THとしては“0”が選択され、履歴情報の初期状態は状態D(0の状態)に設定される。この場合、次の分岐予測は常にtaken予測であり、状態DでNot-Taken実行とならない限り分岐先バッファに登録されていれば常時taken予測とされる。

【0269】分岐の発生する確率が比較的高いと判断された分岐命令に対しては、図39(c)に示すように、フラグlocally-tが付される。この場合には、しきい値THとして、“2”が設定され、履歴情報の初期状態としては状態Bが選択される。この状態においては、履歴情報値BHCVaが状態CまたはDを示す場合にはnot-taken予測とされるが、分岐の発生する確率が比較的高く、状態Aに留まる確率が高く、taken予測となる確率が高い。したがってこの場合、Not-Taken実行が生じても、状態Bに移行するだけであり、taken予測が次の分岐予測として行なわれることになり、比較的高い分岐確率に正確に対応することができる。

【0270】分岐方向が頻繁に変わる分岐命令に対しては、図39(d)に示すように、フラグlikely-nが付され、初期状態としては状態Aが設定される。一旦Not-Taken実行が行なわれると、この命令は分岐先レジスタの登録から外されるか、またはnot-taken予測となる。これにより、分岐方向が頻繁に変わる分岐命令に対し正確にその分岐方向の変化に追隨して分岐予測を行なうことができる。



【0271】分岐がほとんど発生しない分岐命令に対しては、図39(e)に示すように、フラグalways-onが付される。この場合には、しきい値THとして“4”が付される。履歴情報の初期状態は任意である。しきい値THが“4”であるため、次回予測は常にnot-taken予測とされる。したがって、一旦、登録が行なわれても、次回予測はnot-taken予測であり、即座に分岐先バッファの登録も外されることになり（実施例7と組合せた場合）、ほとんど分岐しない分岐命令がたまたま分岐を生じさせたとしても、即座にこのような分岐命令は分岐先バッファの登録から外すことができ、分岐のほとんど発生しない分岐命令に対しても正確に分岐予測を行なうことができる。always-onの分岐命令は、分岐先バッファに登録されないように構成されてもよい。

【0272】なお、このフラグalways-t…等は2ビットの情報をを用いてそれぞれ表現することができる。

【0273】また、このしきい値により履歴情報を設定する方式は、従来の複数ビット履歴方式の分岐先バッファにも適用できる。この場合には、予測しきい値と履歴情報との比較により分岐予測が行なわれる。

【0274】以上のように、この第9の実施例に従えば、コンパイラを用いて分岐命令それぞれに対し分岐確率をより詳細に反映させたしきい値を設定し、このしきい値に従って次回の分岐予測を行なうことにより、偶発的な分岐方向の変更による分岐命令の登録/無効化に起因する予測ヒット率の低下を抑制することができる。

【0275】

【発明の効果】請求項1に係る発明に従えば、分岐命令それぞれに、分岐確率の高低を示す分岐確率指示ビットを含ませ、分岐予測ミスヒットの場合には、この分岐確率指示部分のデータに従って分岐発生の可能性が小さいことを示すときには、分岐先バッファにおいて対応のエントリの内容を無効化する構成としているため、分岐先バッファには、分岐発生確率の高い分岐命令のみが格納される可能性が高くなり、応じて分岐予測精度が高くなる。

【0276】請求項2に係る発明に従えば、請求項1の装置において、分岐予測がミスヒット時において分岐命令が既に分岐先バッファに登録されておりかつその分岐命令に付随する分岐確率指示部分のデータが分岐発生の可能性の高いことを示すときには、分岐先バッファの対応のエントリの内容を維持するように構成しているため、分岐発生の確率の高い分岐命令が分岐先バッファから除外されるのが防止され、分岐精度の低下が抑制される。

【0277】請求項3に係る発明に従えば、請求項1の装置において、分岐命令が分岐先バッファの対応のエントリに格納されている分岐命令と同じ命令であるか否か

を判別する同一判別手段を設け、この同一判別手段の判別結果が不一致を示しかつその分岐命令による分岐が発生した場合、分岐命令に付随する分岐確率指示部分のデータが分岐発生の可能性が高いことを示す場合には、その分岐先バッファの対応のエントリの内容を変更するように構成しているため、分岐確率の低い分岐命令により分岐確率の高い分岐命令が書替えられるのが防止され、分岐予測精度の低下を防止することができる。

【0278】請求項4に係る発明に従えば、命令キャッシュメモリと分岐先バッファのアドレスタグが共用される場合、命令キャッシュメモリにおいてキャッシュミスが生じ、そのキャッシュブロックが置換される場合には、そのキャッシュブロックに含まれる分岐命令に対応する分岐先バッファ内のエントリの内容は無効化するように構成しているため、分岐先バッファには使用可能な可能性の低い分岐命令が存在する可能性が小さくされ、使用される分岐命令のみが分岐先バッファに格納され、それにより分岐先バッファのエントリを効率的に利用することができる。

【0279】請求項5に係る発明に従えば、分岐命令のオペランドの即値に従って分岐確率の高低を判別し、その判別結果に従って分岐先バッファの対応のエントリの内容の変更を選択的に行なうように構成しているため、分岐命令が後方分岐命令のように分岐確率の高い分岐命令は、高い確率で分岐先バッファに登録され、これにより分岐先バッファには分岐確率の高い分岐命令が格納される可能性が高くなり、何ら命令コードの変更を伴うことなく容易に分岐予測精度を改善することができる。

【0280】請求項6に係る発明に従えば、請求項5の装置において、分岐命令のオペランドの即値が負の場合において分岐予測ミスヒットが生じて、対応のエントリの内容を維持するように構成しているため、高い分岐確率を有する後方分岐命令が分岐先バッファの登録から外されることがなく、分岐予測精度の低下が防止される。

【0281】請求項7に係る発明に従えば、分岐命令に含まれる分岐確率情報が分岐確率の低いことを示す場合には、分岐発生時においてもその分岐命令の分岐先バッファへの登録は禁止するように構成しているため、低い分岐確率の分岐命令により高い分岐確率の分岐命令が書替えられる可能性が低減され、分岐予測精度の低下が防止される。

【0282】請求項8に係る発明に従えば、分岐命令に分岐発生の期待値を示す情報を含ませておき、未登録分岐命令による分岐が発生した場合、その分岐命令の予測期待値が分岐先バッファの対応のエントリに格納された分岐命令の分岐期待値よりも分岐確率の高いことを示す場合にはその未登録分岐命令を分岐先バッファの対応のエントリに登録するように構成したため、分岐確率の低い分岐命令が分岐確率の高い分岐命令に代えて登録され

る可能性が小さくなり、分岐予測精度の低下が防止される。

【0283】請求項9に係る発明に従えば、請求項8の装置において、分岐命令の予測期待値を分岐先バッファのエントリに格納された履歴情報により表現するように構成しているため、分岐命令および分岐先バッファ両者に対し余分の情報格納領域を設ける必要がなく、従来と同様の分岐命令コードを利用することができかつ分岐先バッファの履歴情報は対応の分岐命令の実行時には更新されるため、命令処理状況に応じて分岐命令の登録/削除を行なうことができ、処理の進行状況に応じて動的に分岐先バッファの内容を変更することができ、高い分岐予測精度を実現することができる。

【0284】請求項10に係る発明に従えば、請求項8の装置において、分岐命令に付随する分岐期待値に従って分岐命令の登録時にその履歴情報の初期値を設定するように構成しているため、分岐確率の低い分岐命令が分岐先バッファに登録されてもすぐに無効とされる可能性を高くすることができ、また分岐確率の高い分岐命令は、分岐予測ミスヒット時においても無効とされる可能性が低くすることができ、分岐予測精度の劣化を抑制することができる。

【0285】請求項11に係る発明に従えば、分岐命令に分岐発生期待値を示す情報を含ませておき、未登録分岐命令の登録時にはその分岐期待値に従って履歴情報の初期状態値を決定して分岐先バッファの対応のエントリに格納するように構成しているため、分岐確率の低い分岐命令はすぐに無効とされる可能性の高い状態にかつ分岐確率の高い分岐命令は無効とされる可能性の低い状態に設定することができ、分岐予測程度の低下を抑制することができる。

【0286】請求項12に係る発明に従えば、分岐命令特定情報とその分岐命令の履歴情報とを互いに独立に制御可能なバッファに格納するように構成したため、分岐先バッファおよび分岐履歴カウンタはそれぞれ通常時、1サイクルにおいては読出動作および書込動作のいずれか一方のみが行なわれるだけであり、分岐先バッファが1サイクルで書込および読出を行なうアクセス競合が生じる可能性が極めて小さくされ、命令処理性能および分岐予測性能の低下が防止され、また低速動作するバッファを用いてこれらのバッファを構築することができる。

【0287】請求項13に係る発明に従えば、請求項12の装置において、分岐先バッファに分岐命令が登録されているか否かに従って分岐発生の有無を予測するように構成しているため、分岐先バッファの構成は1ビット履歴方式ものと同様に簡略化される。

【0288】請求項14に係る発明に従えば、請求項13の装置において、分岐履歴バッファに格納された分岐履歴情報が所定値に到達した場合には、分岐先バッファ

の対応のエントリに格納された分岐命令を無効化するように構成しているため、履歴情報を参照して分岐予測を行なうことと等価となり、複数ビット履歴方式と同じ程度の分岐予測精度を実現することができる。

【0289】請求項15に係る発明に従えば、請求項12の装置において、分岐非発生予測かつ分岐発生実行の場合には、分岐履歴バッファに格納される履歴情報が初期値に設定され、分岐先バッファへのこの履歴情報の登録は行なわれず、また分岐予測は分岐命令履歴情報を参照しないため、この分岐履歴バッファに対する履歴情報の初期値設定時においても分岐先バッファから読出動作を行なって分岐予測を行なうことが可能となる。

【0290】請求項16に係る発明に従えば、請求項15の装置において、分岐非発生予測/分岐発生実行の場合には、その分岐命令に関連する情報を分岐先バッファの対応のエントリに格納しており、これにより未登録分岐命令の分岐先バッファへの登録が行なわれる。この未登録分岐命令の登録動作は、未登録分岐命令による分岐が生じた場合だけであり、その回数は極めて少なく、未登録分岐命令の登録によるサイクルペナルティは、全体として小さな値に設定することができ、処理性能の低下を防止することができる。

【0291】請求項17に係る発明に従えば、分岐命令に分岐発生期待値を含ませておき、この分岐発生期待値に従ってしきい値を設定し、分岐予測ミスヒット時には、履歴情報としきい値との比較結果に従って履歴情報を設定しており、偶発的な分岐方向変化による分岐ヒット率の低下を抑制することができる。

【0292】請求項18に係る発明に従えば、請求項17の装置において、分岐発生予測/分岐非発生実行の場合に、しきい値設定手段により設定されたしきい値と対応の履歴情報とから次の分岐命令の分岐発生予測値を決定し、その予測期待値を示す情報を分岐先バッファに格納しているため、登録分岐命令の分岐非発生時に、正確に次の分岐予測を行なうことができ、分岐予測精度の低下が防止される。

【0293】請求項19に係る発明に従えば、請求項18の装置において、次の分岐発生予測値は、分岐命令の有効/無効を示す有効ビットであり、分岐先バッファに格納され、1ビット履歴情報を用いる構成により複数ビット履歴に従って行なう分岐予測の精度とほぼ同様の分岐予測精度を実現することができる。

【0294】請求項20に係る発明に従えば、請求項17の装置において、分岐非発生予測/分岐発生実行のときには、しきい値設定手段が設定したしきい値に従って履歴情報の初期値を設定しているため、その分岐命令の分岐確率に従って分岐履歴情報の初期値を設定することができ、分岐命令の分岐確率を反映した初期状態に履歴情報を設定することができ、分岐予測精度が改善される。

【0295】請求項21に係る発明に従えば、請求項17の装置において、分岐命令に含まれる即値を用いて分岐発生確率を示すように構成しているため、命令コードの形態を何ら変更することなく、正確に分岐確率の高低を表現することができる。

【0296】請求項22に係る発明に従えば、請求項17の装置において、分岐発生の期待値は、分岐命令の特定コード内に設定されるように構成しているため、分岐命令の分岐確率をより詳細に反映してしきい値を設定することができより高精度の分岐予測を実現することができる。

【0297】請求項23に係る発明に従えば、請求項17の装置において分岐履歴情報と分岐命令特定情報とが別々のバッファに格納するように構成しているため、それぞれを独立に駆動することができ1サイクルで書込および読出を1つのバッファに対して行なう必要がなく、余裕を持って分岐情報の読出および分岐情報の書込（登録/更新）を行なうことができ、処理性能および分岐予測精度の低下を抑制することができる。

#### 【図面の簡単な説明】

【図1】 この発明の第1の実施例である命令処理装置の全体の構成を概略的に示す図である。

【図2】 この発明の第1の実施例において用いられる分岐命令のコードの形態を概略的に示す図である。

【図3】 この発明の第1の実施例における分岐命令の登録/更新動作を一覧にして示す図である。

【図4】 図1に示す分岐実行ユニットおよびB T B登録/更新決定機構の具体的構成を示す図である。

【図5】 図1に示すB T B登録/更新決定機構の他の構成を示す図である。

【図6】 この発明の第1の実施例において用いられるアドレスタグを説明するための図である。

【図7】 この発明の第1の実施例である命令処理装置システムの全体の構成を概略的に示す図である。

【図8】 この発明の第2の実施例において用いられる分岐命令の形態を概略的に示す図である。

【図9】 図8に示す即値を説明するための図である。

【図10】 この発明の第2の実施例において用いられるB T B登録/更新決定機構の構成を概略的に示す図である。

【図11】 この発明の第3の実施例において用いられる分岐命令の形態を概略的に示す図である。

【図12】 この発明の第3の実施例における分岐バッファの登録/更新動作を一覧にして示す図である。

【図13】 この発明の第3の実施例において用いられるB T B登録/更新機構の構成を概略的に示す図である。

【図14】 この発明の第4の実施例において用いられる分岐先バッファのエントリの構成を示す図である。

【図15】 この発明の第4の実施例における分岐命令

の登録動作を示すフロー図である。

【図16】 この発明の第4の実施例における分岐命令の登録時における分岐先バッファの構成の一例を示す図である。

【図17】 図16に示す分岐先バッファの構成における分岐命令登録動作を制御するための構成を概略的に示す図である。

【図18】 この発明の第4の実施例において用いられる分岐先バッファの他の構成を示す図である。

【図19】 図18に示す分岐先バッファの構成において分岐命令の登録を行なうための制御系の構成を概略的に示す図である。

【図20】 この発明の第5の実施例の動作を説明するための図である。

【図21】 この発明の第5の実施例における分岐先バッファのエントリの構成を概略的に示す図である。

【図22】 この発明の第6の実施例の動作を説明するための図である。

【図23】 この発明の第6の実施例の動作を一覧にして示す図である。

【図24】 この発明の第6の実施例に従う分岐先バッファの書込系の構成を概略的に示す図である。

【図25】 この発明の第7の実施例に従う命令処理装置の分岐先バッファ書込系の構成を概略的に示す図である。

【図26】 図25に示す登録更新制御ユニットおよびB H C登録/更新決定部の構成を概略的に示す図である。

【図27】 この発明の第7の実施例の動作を一覧にして示す図である。

【図28】 この発明の第7の実施例において用いられる分岐履歴カウンタの構成の一例を示す図である。

【図29】 この発明の第7の実施例において用いられる分岐履歴カウンタの他の構成の一例を示す図である。

【図30】 この発明の第7の実施例において用いられる分岐履歴カウンタのさらに他の構成の一例を示す図である。

【図31】 この発明の第7の実施例の動作を示すタイミングチャート図である。

【図32】 この発明の第7の実施例の動作を示すタイミングチャート図である。

【図33】 この発明の第7の実施例の動作を示すタイミングチャート図である。

【図34】 この発明の第7の実施例の動作を示すタイミングチャート図である。

【図35】 この発明の第7の実施例の動作を示すタイミングチャート図である。

【図36】 この発明の第7の実施例の動作を示すタイミングチャート図である。

【図37】 この発明の第8の実施例の命令処理装置の



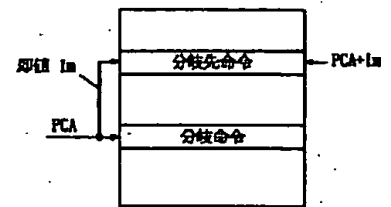
【図 3】

予 測	結 果	予測ヒット/ミス	always-t	BTB-we	V	実行動作
not-taken	Not-Taken	ヒット	*	0	*	なし
	Taken	ミス	*	1	1	登録
taken	Not-Taken	ミス	0	1	0	更新
			1	0	*	なし
	Taken	ヒット	*	0	*	なし

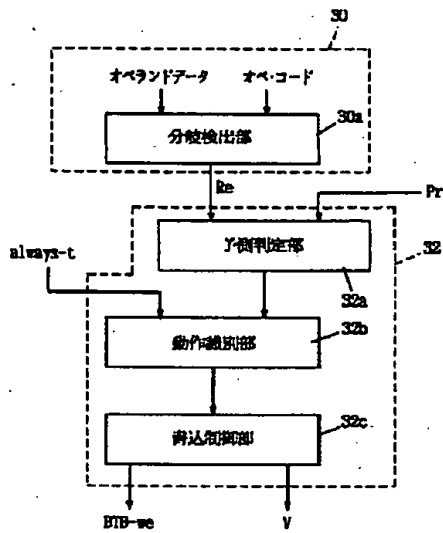
\* : ドントケア (任意)

V : 分岐先バッファへ書込まれる  
べき有効ビット

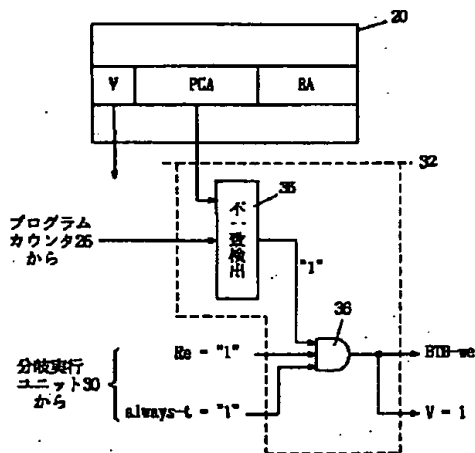
【図 9】



【図 4】

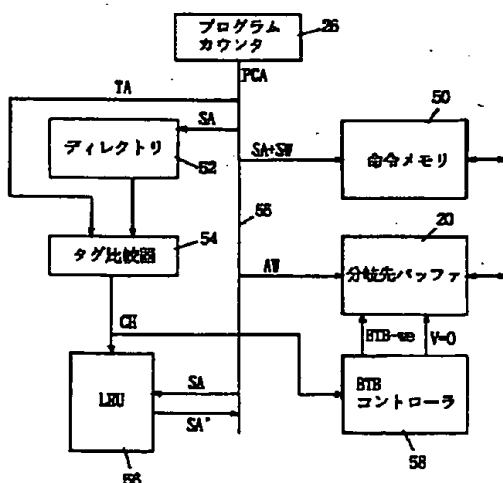


【図 5】

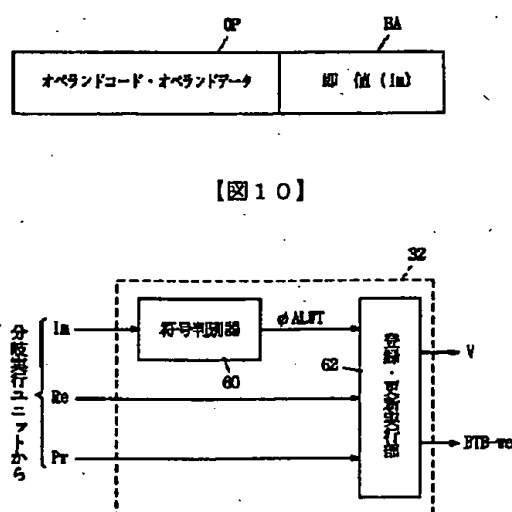


【図 8】

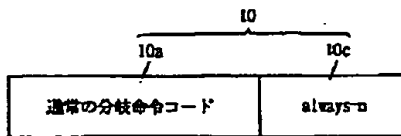
【図 7】



【図 10】



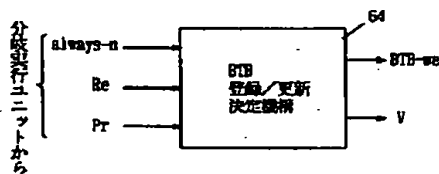
【図11】



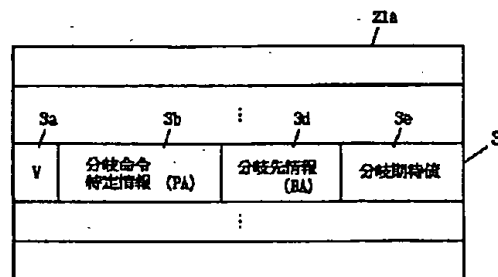
【図12】

予測	結果	予測 ヒット/ミス	always-n	BTB-we	V	書き 置作
not-taken	Not-Taken	ヒット	*	0	*	なし
	Taken	ミス	1	0	*	なし
			0	1	1	登録
taken	Not-Taken	ミス	*	1	0	更新
	Taken	ヒット	1	1	0	更新
			0	0	*	なし

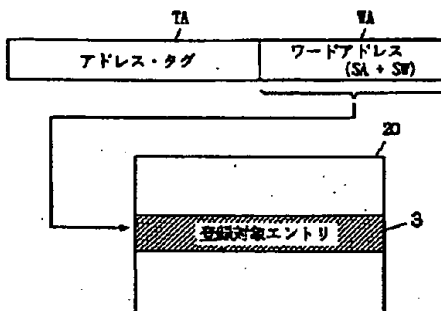
【図13】



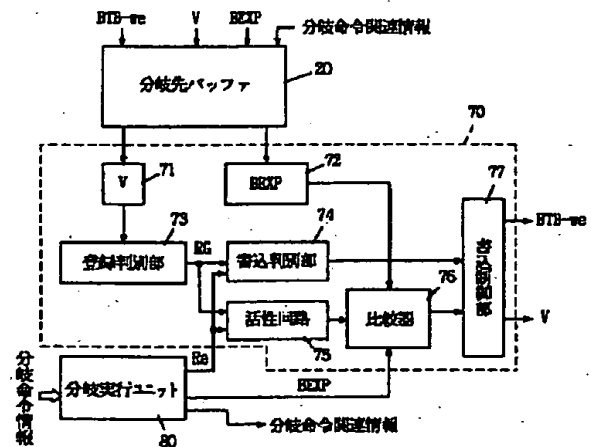
【図14】



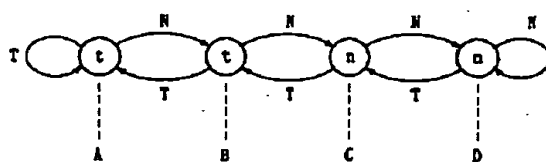
【図16】



【図17】



【図20】



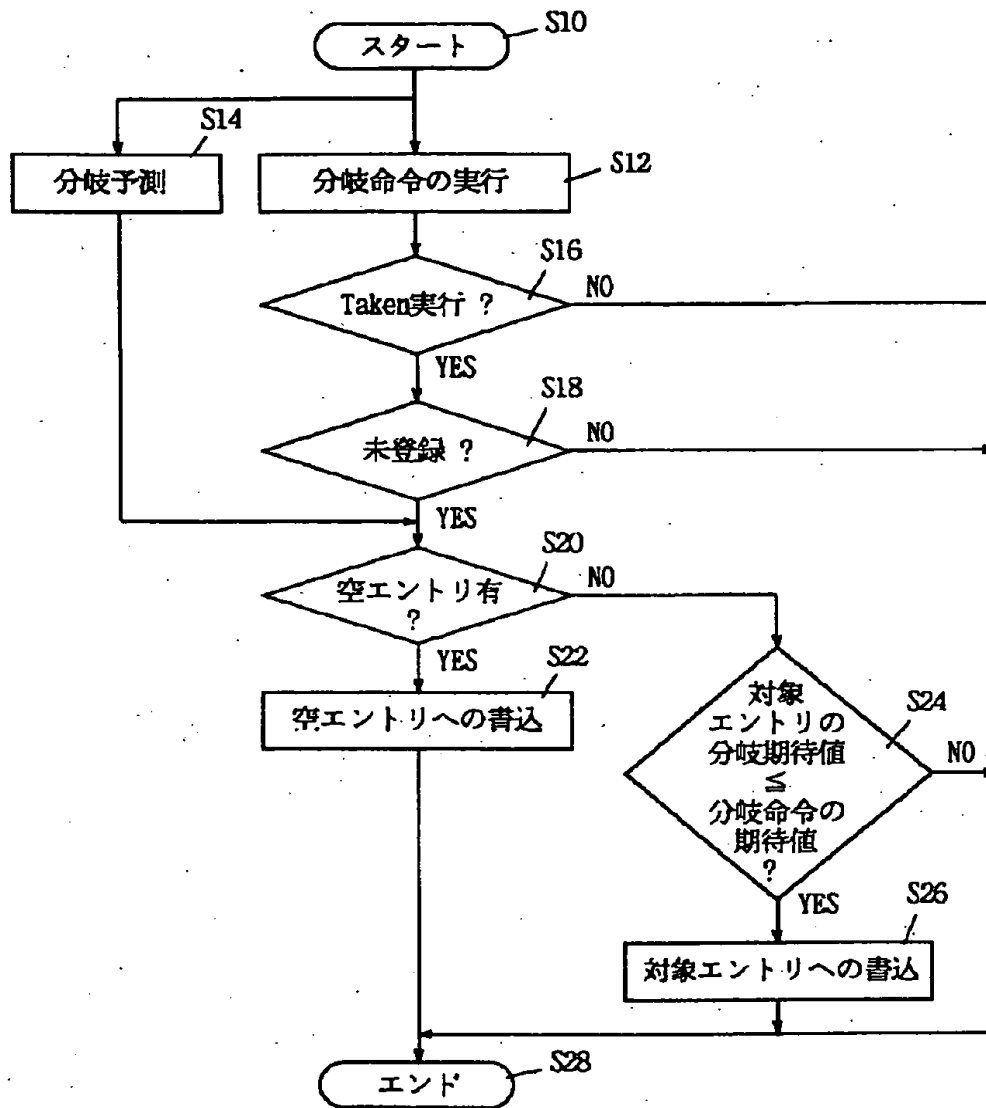
BEIP: (1, 1) > (1, 0) > (0, 1) > (0, 0)

【図23】

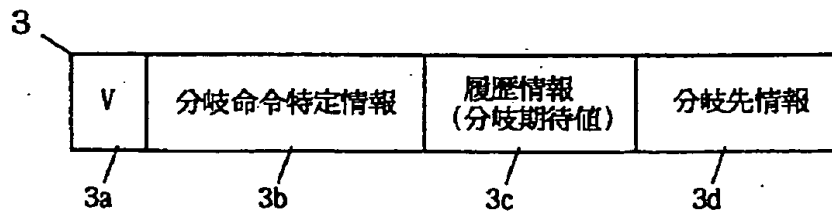
予測	結果	分岐期待値	登録初期状態
not-taken	Not-Taken	*	—
	Taken	always-t=1	状態 A
		always-t=0	状態 B
taken	*	*	—

\* : ドントケア, — : 登録なし

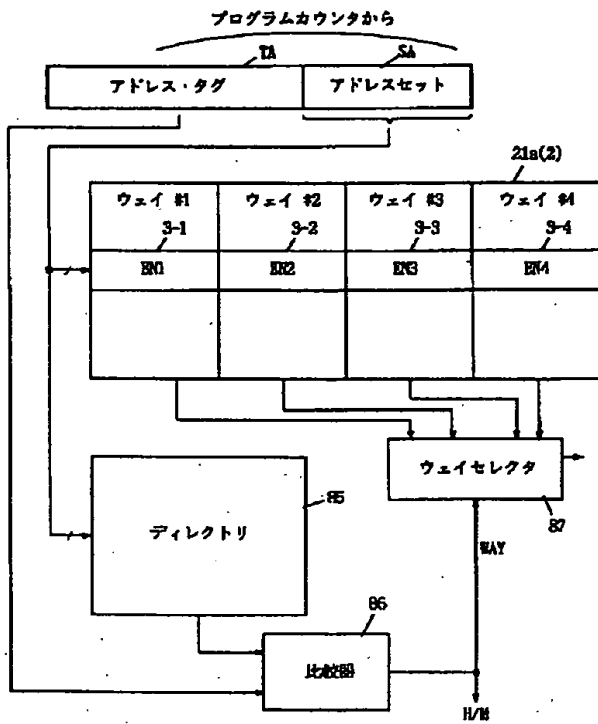
【図15】



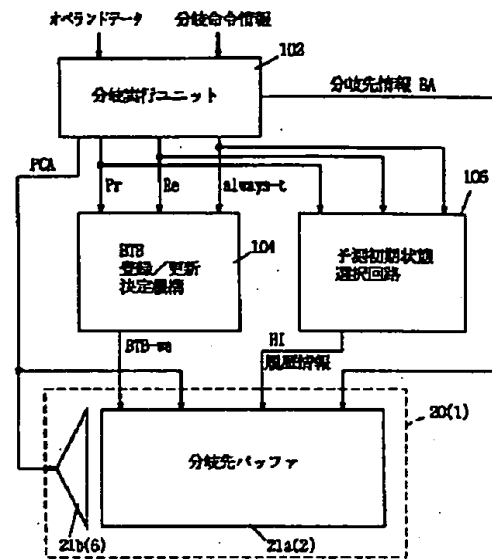
【図21】



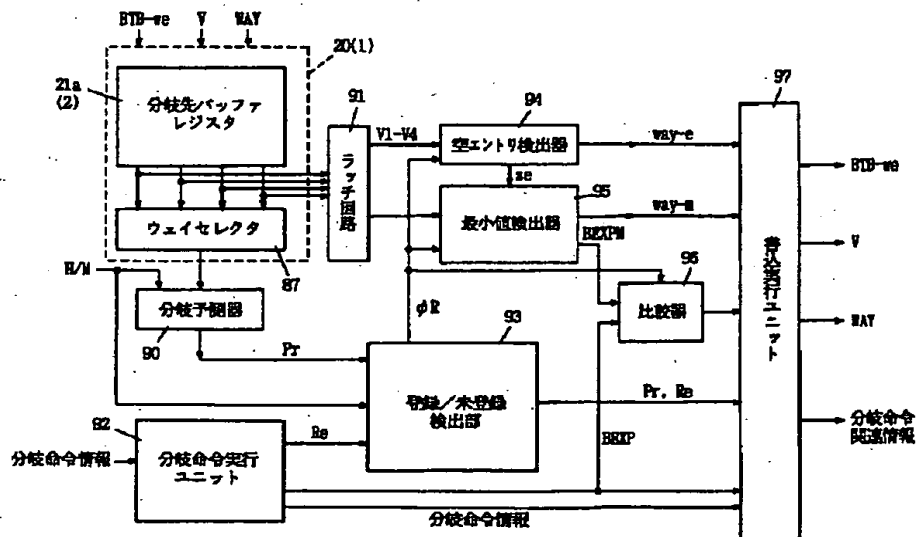
【図 18】



【図 24】

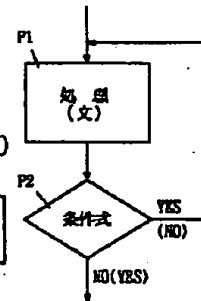


【図 19】

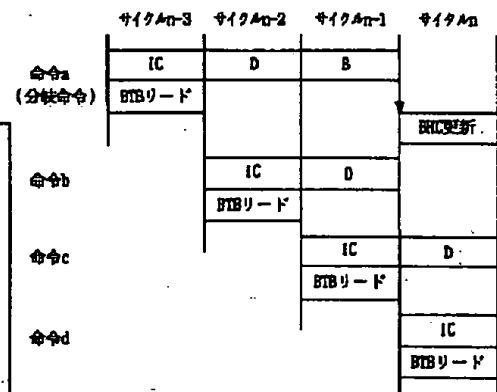




【图 45】



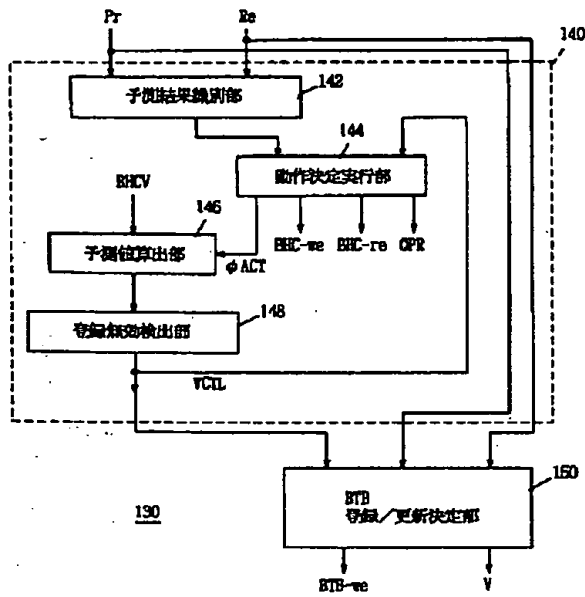
【图 3-1】



【图 27】

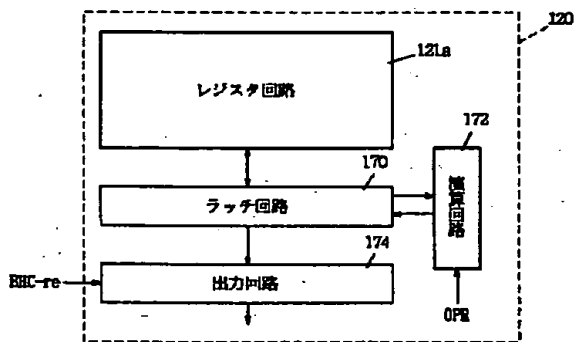
予測	結果	BHCV	STD-se		V		BEC-se		BEC	次回予測
			サイクル n	サイクル (n+1)	サイクル n	サイクル (n+1)	サイクル n	サイクル (n+1)	オペレーション OPR	
not-taken	Not-Taken	*	0	0	*	*	0		*	not-taken
	Taken	*	1	0	1	*	1		セット"0"	taken
taken	Not-Taken	0	0	1	*	0	0	1	"0"	not-taken
		1以上	0	0	*	*	0	1	デクリメント	taken
	Taken	*	0	0	*	*	1	*	インクリメント	taken

【図26】

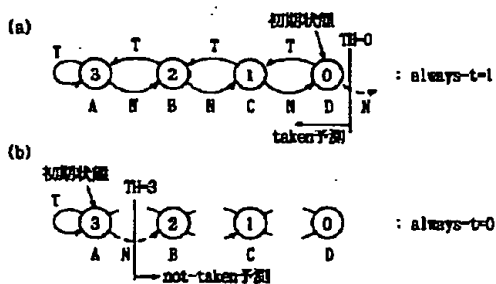


130 : 登録更新制御ユニット  
140 : BPC登録/更新決定部

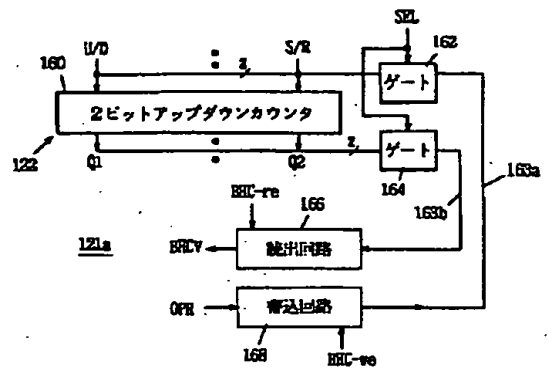
【図29】



【図38】



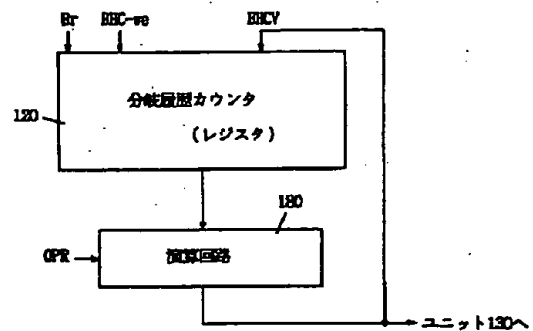
【図28】



【図41】

命令	I	II	III	IV	V
A	IP	ID	EX	WB	
BR		IF	ID	EX	WB
C'					IP

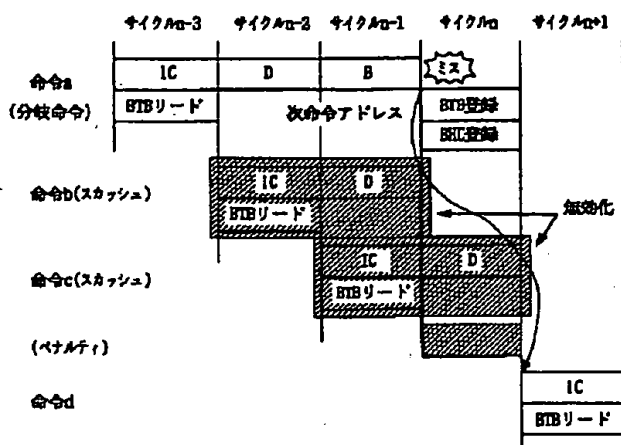
【図30】



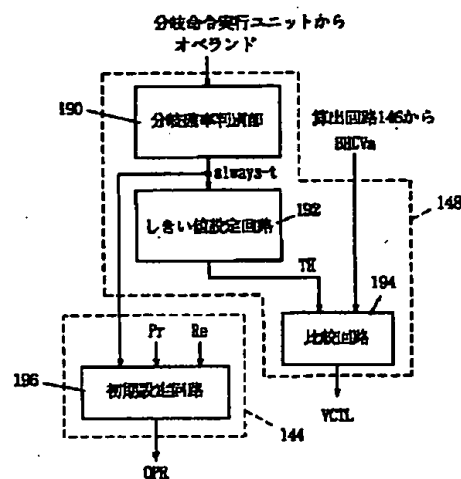
【図40】

命令	I	II	III	IV	V
A	IF	ID	EX	WB	
B		IF	ID	EX	WB
C			IF	ID	EX
D				IF	ID

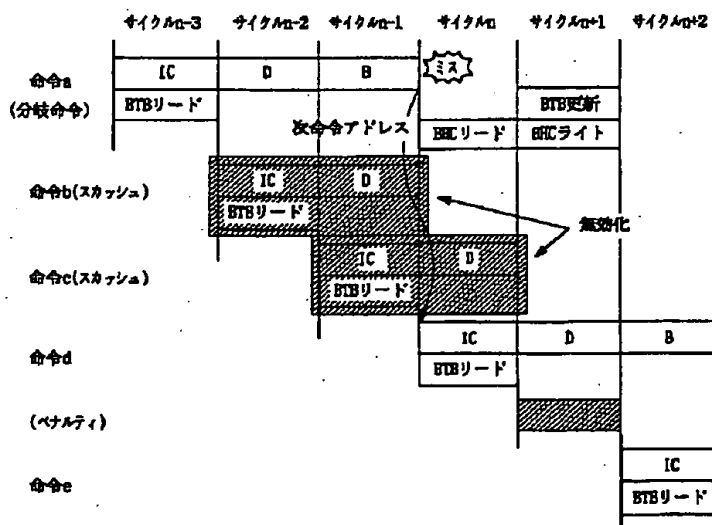
【図32】



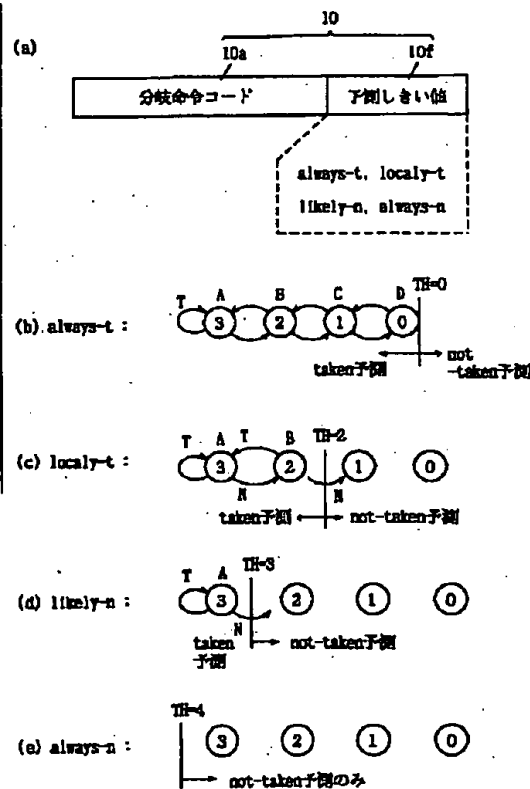
【図37】



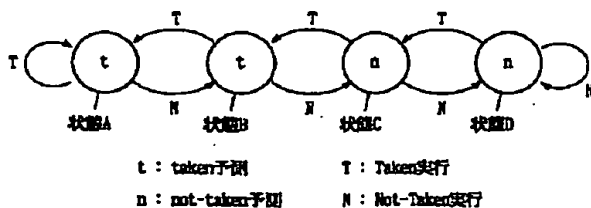
【図33】



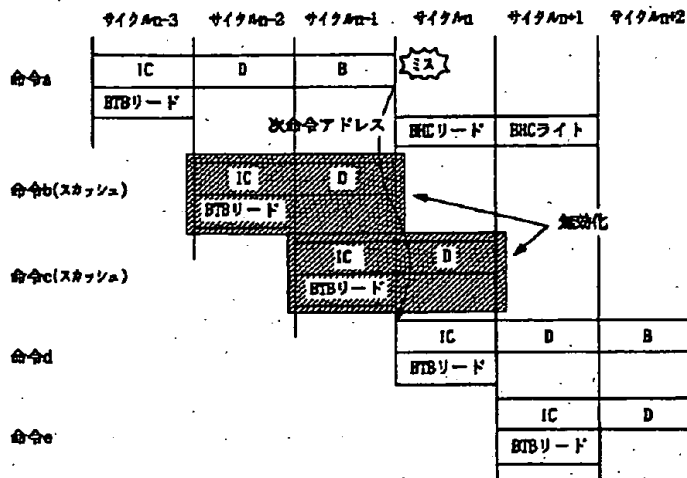
【図39】



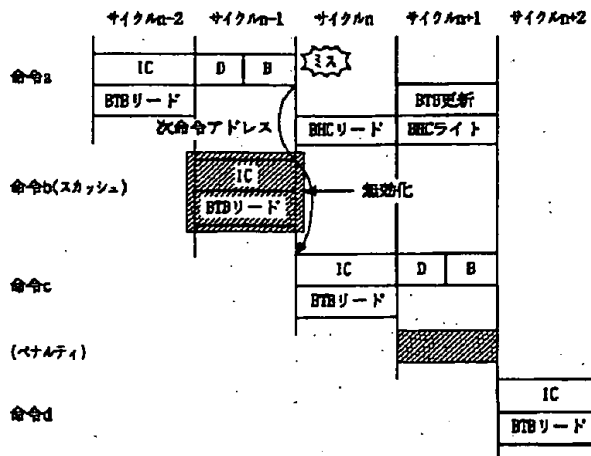
【図44】



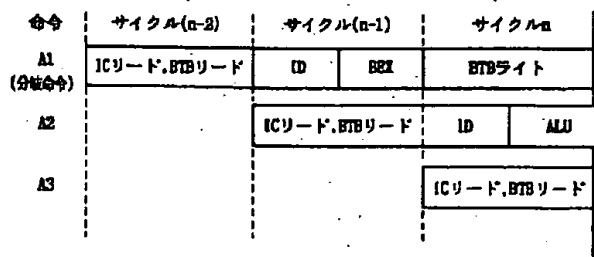
【図34】



【図35】

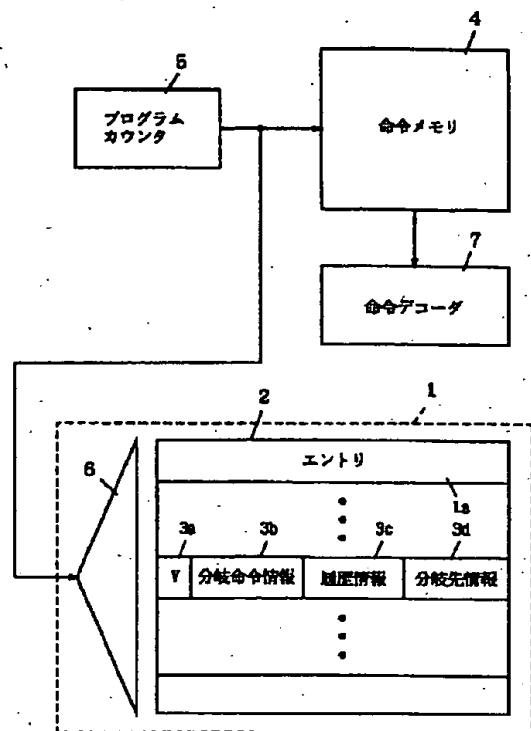


【図46】

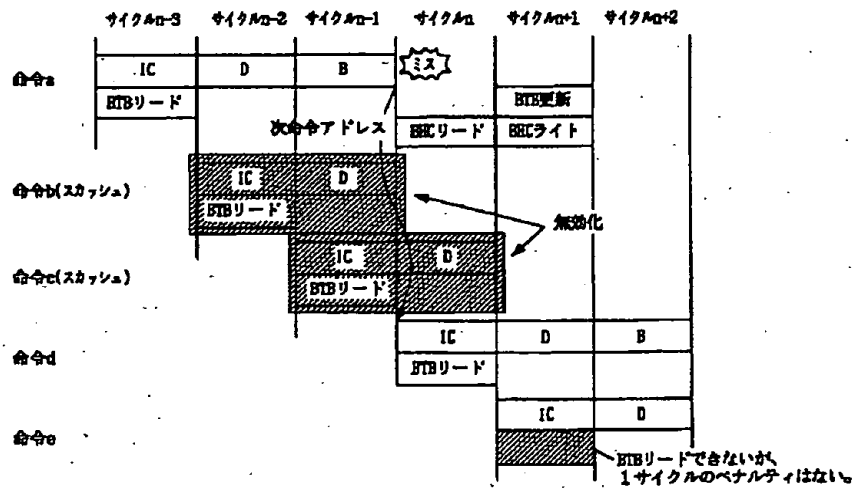


IC: 命令メモリ ID: 命令デコーダ  
 BEU: 分岐実行ユニット ALU: 演算ユニット  
 BTB: 分岐先バッファ

【図42】



【図36】



【図 43】

